

UNIVERSIDADE FEDERAL DO ESPÍRITO SANTO
CENTRO TECNOLÓGICO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

VINÍCIUS SECCHIN DE MELO

**CONTROLE DA QUALIDADE DA TENSÃO DE FORNECIMENTO EM
REDES SECUNDÁRIAS DE DISTRIBUIÇÃO ATRAVÉS DE
COMPENSADOR ESTÁTICO DE REATIVOS**

VITÓRIA
2009

VINÍCIUS SECCHIN DE MELO

**CONTROLE DA QUALIDADE DA TENSÃO DE FORNECIMENTO EM
REDES SECUNDÁRIAS DE DISTRIBUIÇÃO ATRAVÉS DE
COMPENSADOR ESTÁTICO DE REATIVOS**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro Tecnológico da Universidade Federal do Espírito Santo, como requisito parcial para obtenção do Grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Gilberto Costa Drumond Sousa, Ph.D.

Co-orientador: Prof. Domingos Sávio Lyrio Simonetti, Dr.

VITÓRIA
2009

Dados Internacionais de Catalogação-na-publicação (CIP)
(Biblioteca Central da Universidade Federal do Espírito Santo, ES,
Brasil)

Melo, Vinícius Secchin de, 1977-
M528c Controle da qualidade da tensão de fornecimento em
redes secundárias de distribuição através de compensador
estático de reativos / Vinícius Secchin de Melo. – 2009.
149 f. : il.

Orientador: Gilberto Costa Drumond Sousa.
Co-Orientador: Domingos Sávio Lyrio Simonett.
Dissertação (mestrado) – Universidade Federal do
Espírito Santo, Centro Tecnológico.

1. Sistemas de energia elétrica - Controle de qualidade. 2.
Reguladores de voltagem. 3. Energia elétrica - Distribuição.
4. Compensador síncrono estático. I. Sousa, Gilberto Costa
Drumond. II. Simonetti, Domingos Sávio Lyrio. III.
Universidade Federal do Espírito Santo. Centro Tecnológico.
IV. Título.

CDU: 621.3

VINÍCIUS SECCHIN DE MELO

**CONTROLE DA QUALIDADE DA TENSÃO DE FORNECIMENTO EM
REDES SECUNDÁRIAS DE DISTRIBUIÇÃO ATRAVÉS DE
COMPENSADOR ESTÁTICO DE REATIVOS**

Dissertação submetida ao programa de Pós-Graduação em Engenharia Elétrica do Centro Tecnológico da Universidade Federal do Espírito Santo, como requisito parcial para a obtenção do Grau de Mestre em Engenharia Elétrica.

Aprovada em 29 de dezembro de 2009.

COMISSÃO EXAMINADORA

Prof. Gilberto Costa Drumond Sousa, Ph.D. - Orientador
Universidade Federal do Espírito Santo

Prof. Domingos Sávio Lyrio Simonetti, Dr. - Co-orientador
Universidade Federal do Espírito Santo

Prof. José Luiz de Freitas Vieira, Dr.
Universidade Federal do Espírito Santo

José Rubens Macedo Jr, Dr.
Sociedade Brasileira de Qualidade de Energia Elétrica

*“Bendito o homem que confia no SENHOR e cuja esperança é o SENHOR.
Porque ele é como a árvore plantada junto às águas, que estende as suas raízes
para o ribeiro e não receia quando vem o calor, mas a sua folha fica verde;
e, no ano de sequidão, não se perturba, nem deixa de dar fruto”*

Jeremias 17:7-8

*À minha esposa Luíze, meus pais, Silvio e Dalva
e meus irmãos, Alexandre e Fernanda.*

Agradecimentos

Ao Senhor Deus, acima de tudo, que providenciou que tudo acontecesse.

À minha esposa Luize, por ter compartilhado todos os momentos bons e ruins desse período da minha vida, sempre me apoiando.

Ao Professor Gilberto meu orientador, por ter depositado confiança em mim e me concedido a honra em poder substituir o amigo e ex-colega de profissão Marcio Brumatti (in memorian), dando continuidade ao desenvolvimento do STATCOM. Também lhe agradeço a atenção concedida, sempre disposto a ajudar e conduzir o trabalho.

Ao Professor Domingos, meu coorientador, também sempre disposto em solucionar dúvidas e orientar o trabalho.

Aos colegas de Afonso Ventrini, Vitor Lecchi e Roger do LEMAC, que juntos trabalharam no desenvolvimento e montagem do compensador.

À FEST, em convênio com a ESCELSA, pelo apoio financeiro, sem o qual esta pesquisa não teria sido possível.

A todos vocês que o Grande Deus os abençoe!

Resumo

Neste trabalho são apresentadas e implementadas técnicas de controle que visam melhorar a qualidade no fornecimento da energia elétrica em baixa tensão. São tratadas estratégias de controle das tensões de sequências positiva, negativa e zero, controlando desequilíbrios e variações de amplitude na tensão da rede. Foi implementado um protótipo de um compensador de reativos, utilizando um DSP (Processador Digital de Sinais) para realizar os algoritmos de controle e proteção do equipamento. Seu funcionamento foi definido por modos específicos de operação que caracterizam cada situação de controle do STATCOM. Toda sua inicialização e parametrização é feita através de uma interface homem-máquina onde são apresentadas informações sobre os modos de operações, compensações nas fases e proteções. São apresentados e analisados resultados de simulação e experimentos em laboratório; e em campo, com o compensador operando em capacidade nominal. A principal contribuição desta dissertação é a implementação em *software* da forma de aquisição das tensões de sequência utilizando o método da transformação dq0 por fase e a implementação de um compensador de 20 kVA para ser utilizado em redes de distribuição secundárias.

Abstract

This work deals with the implementation of voltage control techniques to improve the power quality in low voltage distribution circuits. Some control techniques related to positive, negative and zero sequence components were implemented in order to mitigate voltage unbalances, voltage sags and also keep the steady-state voltage in acceptable levels. This way, a real reactive power compensator, based on STATCOM architecture, was developed. The electrical and thermal protection of the developed equipment was implemented using a DSP device. Specific operations modes were defined to depict STATCOM control status. The initialization and parametrization is made through a human-machine interface where information is shown about the operations modes, compensation in each phase and protection. Several simulation results and correlated analyses are presented for different technical conditions of the equipment operation. The major contributions represented by this work are the software implementation of the acquisition procedure for voltage sequence components, based on dq0 transformation method, and also the construction of a STATCOM prototype to be used in aerial low voltage distribution circuits.

Siglas e abreviações

R	\Rightarrow	Resistência equivalente do sistema elétrico
X	\Rightarrow	Reatância equivalente do sistema elétrico
I	\Rightarrow	Corrente na linha do sistema elétrico
V_1	\Rightarrow	Tensão no gerador do sistema elétrico
V_2	\Rightarrow	Tensão na carga
Z	\Rightarrow	Impedância no caminho fonte e carga do sistema elétrico
V_S	\Rightarrow	Módulo da tensão da fonte que representa o sistema CA
V_{COM}	\Rightarrow	Módulo da tensão nos terminais do compensador
X_L	\Rightarrow	Reatância entre o ponto de conexão e o compensador
I_{COM}	\Rightarrow	Módulo da corrente de compensação
$\Delta \phi$	\Rightarrow	Ângulo entre os fasores da tensão da fonte que representa o sistema CA e o fasor da tensão nos terminais do conversor
P_{S-COM}	\Rightarrow	Potência ativa que flui do sistema para o conversor
Q_{S-COM}	\Rightarrow	Potência reativa que flui do sistema para o conversor
f	\Rightarrow	frequência da rede
L	\Rightarrow	Indutância entre o compensador e o sistema
V_L	\Rightarrow	Tensão na reatância entre o ponto de conexão e o compensador
V_{CC}	\Rightarrow	Tensão no barramento CC do conversor
C_1 e C_2	\Rightarrow	Capacitâncias dos capacitores do barramento CC do conversor
V_{C1} e V_{C2}	\Rightarrow	Tensões nos capacitores do barramento CC do conversor
V^+	\Rightarrow	Componente de tensão de sequência positiva
V^-	\Rightarrow	Componente de tensão de sequência negativa
V^0	\Rightarrow	Componente de tensão de sequência zero
V_a	\Rightarrow	Tensão da fase A em relação ao neutro
V_b	\Rightarrow	Tensão da fase B em relação ao neutro
V_c	\Rightarrow	Tensão da fase C em relação ao neutro
FD	\Rightarrow	Fator de desequilíbrio
V_{ab}	\Rightarrow	Tensão de linha entre as fases A e B
V_{bc}	\Rightarrow	Tensão de linha entre as fases B e C
V_{ca}	\Rightarrow	Tensão de linha entre as fases C e A
V_{desv}	\Rightarrow	Desvio máximo da média das tensões trifásicas
V_{med}	\Rightarrow	Média das tensões trifásicas
ω	\Rightarrow	frequência angular da rede
θ	\Rightarrow	Ângulo instantâneo da tensão da rede em relação a fase A
a	\Rightarrow	Operador matemático utilizado na matriz de transformação das componentes

simétricas

β	\Rightarrow	Coeficiente utilizado no cálculo do fator de desequilíbrio
φ_a	\Rightarrow	Ângulo inicial da fase A
φ_b	\Rightarrow	Ângulo inicial da fase B
φ_c	\Rightarrow	Ângulo inicial da fase C
V_x	\Rightarrow	Tensão no referencial síncrono dq de um fasor genérico
V_{qx}	\Rightarrow	Componente q de uma tensão genérica
V_{dx}	\Rightarrow	Componente d de uma tensão genérica
V_{qa}	\Rightarrow	Componente q da tensão de fase V_a
V_{da}	\Rightarrow	Componente d da tensão de fase V_a
V_{qb}	\Rightarrow	Componente q da tensão de fase V_b
V_{db}	\Rightarrow	Componente d da tensão de fase V_b
V_{qc}	\Rightarrow	Componente q da tensão de fase V_c
V_{dc}	\Rightarrow	Componente d da tensão de fase V_c
V_{qd}^{abc}	\Rightarrow	Vetor tensão das componentes no referencial dq
T_θ	\Rightarrow	Matriz de transformação do referencial abc para o referencial dq
V^{abc}	\Rightarrow	Vetor das tensões de fase
V_q^+	\Rightarrow	Componente retangular de sequência positiva no referencial dq no eixo q
V_d^+	\Rightarrow	Componente retangular de sequência positiva no referencial dq no eixo d
V_q^-	\Rightarrow	Componente retangular de sequência negativa no referencial dq no eixo q
V_d^-	\Rightarrow	Componente retangular de sequência negativa no referencial dq no eixo d
T^+	\Rightarrow	Matriz de transformação do referencial dq para a componente simétrica de sequência positiva na forma retangular
T^-	\Rightarrow	Matriz de transformação do referencial dq para a componente simétrica de sequência negativa na forma retangular
T^0	\Rightarrow	Matriz de transformação do referencial dq para a componente simétrica de sequência zero na forma retangular
T_θ^{-1}	\Rightarrow	Matriz de transformação do referencial dq para o referencial abc
T^{-1}	\Rightarrow	Matriz de transformação das componentes simétricas para o referencial dq
V^{+*}	\Rightarrow	Tensão de referência para a sequência positiva
V^{-*}	\Rightarrow	Tensão de referência para a sequência negativa
V^{0*}	\Rightarrow	Tensão de referência para a sequência zero
V_{CC}	\Rightarrow	Tensão no elo CC
V_{CC}^*	\Rightarrow	Tensão de referência do elo CC
I_a^A	\Rightarrow	Corrente de linha da fase A acondicionada
I_b^A	\Rightarrow	Corrente de linha da fase B acondicionada
I_c^A	\Rightarrow	Corrente de linha da fase C acondicionada
V_a^A	\Rightarrow	Tensão de fase da fase A acondicionada

V_b^A	\Rightarrow	Tensão de fase da fase A acondicionada
V_c^A	\Rightarrow	Tensão de fase da fase A acondicionada
V_{CC1}^A	\Rightarrow	Tensão no capacitor 1 do elo CC
V_{CC2}^A	\Rightarrow	Tensão no capacitor 2 do elo CC
V_{PCC}	\Rightarrow	Tensão no ponto de acoplamento comum
I_{COM}^a	\Rightarrow	Corrente de compensação na fase A
I_{COM}^b	\Rightarrow	Corrente de compensação na fase B
I_{COM}^c	\Rightarrow	Corrente de compensação na fase C

Índice de ilustrações

Figura 1.1: (a) Representação unifilar básica de um sistema de alimentação;(b) Diagrama fasorial do sistema.....	18
Figura 1.2: Efeito de desequilíbrio na vida útil de motores.....	19
Figura 2.1: Compensadores reativos: (a) compensador Série; (b) compensador paralelo ("shunt")..	22
Figura 2.2: Diagrama unifilar do STATCOM.....	24
Figura 2.3: Diagramas fasoriais do STATCOM. a) STATCOM absorve potência ativa; b) STATCOM fornece potência ativa; c) STATCOM absorve potência reativa; d) STATCOM fornece potência reativa.....	25
Figura 2.4: Inversor com quatro braços.....	26
Figura 2.5: Inversor com três braços e quatro fios.....	27
Figura 2.6: Etapas de operação e efeito de ICOM em VC1 e VC2.....	28
Figura 4.1: Decomposição da tensão V_a nos eixos dq.....	31
Figura 4.2: Processo de heterodyning e filtragem.....	32
Figura 4.3: Diagrama em blocos do modelo de controle por malha de tensão.....	35
Figura 4.4: Detalhamento do bloco A.....	35
Figura 4.5: PLL.....	36
Figura 4.6: Detalhamento do bloco B - Estruturas de Controle: (a) sequência positiva; (b) sequência negativa; (c) sequência zero.....	36
Figura 4.7: Bloco C: Transformação inversa.....	37
Figura 4.8: Bloco D: Controle de VCC.....	37
Figura 5.1: Circuito de potência.....	38
Figura 5.2: Circuito de Controle.....	39
Figura 5.3: Detalhe do controle da sequência positiva.....	41
Figura 5.4: Tensão VCC total.....	42
Figura 5.5: Tensão em cada capacitor.....	43
Figura 5.6: Fluxo de potência ativa para o STATCOM.....	43
Figura 5.7: Tensões trifásicas de fase no (PCC): a) Durante os primeiros 160ms; (b) Ampliação em torno do valor de pico.....	44
Figura 5.8: Funcionamento capacitivo do STATCOM. Tensão em [V] e Corrente em [A].....	45
Figura 5.9: Tensões de fase no ponto de acoplamento com carga leve.....	46
Figura 5.10: Funcionamento indutivo do STATCOM. Tensão em [V] e Corrente em [A].....	46
Figura 5.11: Corrente entregue pelo sistema ao PCC.....	47
Figura 5.12: Corrente do sistema sem compensação.....	47
Figura 5.13: Corrente do sistema com compensação.....	48
Figura 5.14: Tensões de fase no ponto de acoplamento com sistema desequilibrado: (a) antes da atuação do STATCOM; (b) após a atuação do STATCOM.....	49
Figura 5.15: Tensões no PCC: a) antes e b) depois da atuação do STATCOM.....	50

Figura 5.16: Correntes entregues pelo sistema ao PCC: a) antes; e b) depois da atuação do STATCOM.....	51
Figura 5.17: Corrente do STATCOM.....	52
Figura 5.18: Corrente entre o ponto médio do inversor e o neutro.....	52
Figura 5.19: Tensões de fase no PCC.....	53
Figura 5.20: Tensão de sequência positiva no PCC.....	54
Figura 5.21: Correntes entregues pelo sistema ao PCC antes da atuação do STATCOM.....	54
Figura 5.22: Correntes entregues pelo sistema ao PCC depois da atuação do STATCOM.....	55
Figura 5.23: Corrente entregue pelo STATCOM ao PCC.....	55
Figura 6.1: Diagrama em blocos da implementação.....	56
Figura 6.2: Diagrama em blocos da Interconexão com o Sistema.....	57
Figura 6.3: Diagrama em blocos do circuito de potência do STATCOM.....	58
Figura 6.4: Diagrama em blocos dos canais da placa de condicionamento dos sinais analógicos.....	59
Figura 6.5: Diagrama em blocos do circuito de proteção.....	61
Figura 6.6: Placa de desenvolvimento EzDspLF2407 da TI.....	62
Figura 6.7: Diagrama em blocos do circuito de potência.....	63
Figura 6.8: Núcleos tipo E utilizados no indutor de acoplamento.....	63
Figura 6.9: Bobinas fixadas em cada núcleo E.....	64
Figura 6.10: Fotografias da (a) placa de montagem no painel de montagem e (b) detalhamento das placas de circuito impresso.....	65
Figura 6.11: Fotografia da parte posterior da placa de montagem.....	66
Figura 6.12: Fluxograma do (a) loop infinito e (b) rotina de interrupção.....	68
Figura 6.13: Fluxograma da rotina Controle.....	69
Figura 6.14: IHM.....	72
Figura 7.1: Diagrama básico implementado.....	75
Figura 7.2: Processo de carga dos capacitores do elo CC.....	76
Figura 7.3: Tensões de fase no PCC sem compensação no caso de subtensão.....	77
Figura 7.4: Detalhe no valor de pico das tensões de fase sem compensação no caso de subtensão..	78
Figura 7.5: Tensões de fase no PCC com compensação no caso de subtensão.....	79
Figura 7.6: Detalhe no valor de pico das tensões de fase com compensação no caso de subtensão..	79
Figura 7.7: Correntes de compensação em cada fase no caso de subtensão.....	80
Figura 7.8: Componentes harmônicas da tensão em Volts no PCC antes da atuação do STATCOM	81
Figura 7.9: Espectro harmônico da tensão em Volts no PCC após a atuação do STATCOM.....	81
Figura 7.10: Espectro harmônico da corrente em Ampères após a atuação do STATCOM.....	82
Figura 7.11: Tensão e corrente de compensação na fase a no caso de subtensão com tensão em Volts e corrente em Ampères.....	83
Figura 7.12: Tensões de sequência positiva e negativa antes e após a compensação no caso de subtensão.....	84
Figura 7.13: Tensões de fase no PCC sem compensação no caso de sobretensão.....	85
Figura 7.14: Detalhe no valor de pico das tensões de fase sem compensação no caso de	

sobretensão.....	85
Figura 7.15: Tensões de fase no PCC com compensação no caso de sobretensão.....	86
Figura 7.16: Detalhe no valor de pico das tensões de fase com compensação no caso de sobretensão.....	86
Figura 7.17: Correntes de compensação em cada fase no caso de sobretensão.....	87
Figura 7.18: Tensão e corrente de compensação na fase a no caso de sobretensão com tensão em Volts e corrente em Ampères.....	87
Figura 7.19: Tensões de sequência positiva e negativa antes e após a compensação no caso sobretensão.....	88
Figura 7.20: Ponto da conexão do STATCOM com a rede.....	89
Figura 7.21: Tensão no ponto de acoplamento antes da atuação do STATCOM, e após a atuação do STATCOM às 10:30h.....	90
Figura 7.22: Distorção Harmônica Total e o 3º, 5º e 7º harmônicas da fase A antes da atuação do STATCOM, e após a atuação do STATCOM às 10:30h.....	91
Figura 7.23: Distorção Harmônica Total e o 3º, 5º e 7º harmônicas da fase B antes da atuação do STATCOM, e após a atuação do STATCOM às 10:30h.....	92
Figura 7.24: Distorção Harmônica Total e o 3º, 5º e 7º harmônicas da fase C antes da atuação do STATCOM, e após a atuação do STATCOM às 10:30h.....	93
Figura 7.25: Correntes no secundário do transformador antes da atuação do STATCOM e após a atuação do STATCOM às 10:30h.....	95
Figura 7.26: Potência reativa no secundário do transformador antes da atuação do STATCOM e após a atuação do STATCOM às 10:30h.....	96

Índice de tabelas

Tabela 6.1: Valores em pu para limites de entrada e saída de operação do STATCOM.....	70
Tabela 6.2: Descrição dos parâmetros possíveis de alteração via IHM.....	73
Tabela 6.3: Formato do pacote de dados.	74
Tabela 7.1: Componentes harmônicas de tensão e corrente para cada harmônico com os valores medidos e valores esperados para a corrente.....	82
Tabela 7.2: Comparação das distorções harmônicas na tensão das fases A, B e C.....	94

Sumário

1 - INTRODUÇÃO.....	18
2 - FUNDAMENTOS DO COMPENSADOR DE REATIVOS.....	22
2.1 - Compensadores estáticos série e shunt.....	22
2.2 - Princípio de funcionamento do STATCOM.....	24
2.3 - Topologia utilizada.....	26
2.3.1 - Inversor com Quatro Braços.....	26
2.3.2 - Inversor com Três Braços.....	27
3 - AS COMPONENTES SIMÉTRICAS E O DESEQUILÍBRIO.....	29
4 - ESTRATÉGIAS DE CONTROLE.....	31
4.1 - Método das componentes dq0 por fase.....	31
4.2 - Algoritmo de controle.....	35
5 - SIMULAÇÕES.....	38
5.1 - Circuito de Potência.....	39
5.2 - Circuito de Controle.....	40
5.2.1 - Controle das tensões de sequências.....	40
5.2.2 - Controle de VCC.....	41
5.3 - Resultados de Simulação.....	41
5.3.1 - Partida do STATCOM.....	42
5.3.2 - Subtensão, carga pesada (RL) com sistema e carga equilibrados.....	44
5.3.3 - Sobretensão com carga leve, sistema e carga equilibrados.....	45
5.3.4 - Subtensão de tensão, carga pesada equilibrada, sistema desequilibrado.....	48
5.3.5 - Subtensão com sistema equilibrado e carga pesada desequilibrada.....	49
5.3.6 - Subtensão com sistema equilibrado e carga leve desequilibrada.....	53
6 - O COMPENSADOR DE 20 kVA.....	56
6.1 - Elementos Constituintes.....	56
6.1.1 - Interconexão com o Sistema.....	56
6.1.2 - Leitura e Processamento da Informação e Comandos.....	57
6.1.3 - Circuito de Potência do STATCOM.....	58
6.2 - Descrição do Hardware.....	59
6.2.1 - Condicionamento de sinais analógicos.....	59
6.2.2 - Proteção e circuitos lógicos.....	60
6.2.3 - Placa de Controle.....	61
6.2.4 - O inversor.....	63
6.3 - Descrição do software.....	67
6.4 - A Interface Homem Máquina.....	72
7 - RESULTADOS EXPERIMENTAIS.....	75
7.1 - Experimentos realizados no LEPAC.....	76
7.1.1 - Carga dos capacitores do elo CC.....	76
7.1.2 - Operação com leve desequilíbrio e subtensão.....	77
7.1.3 - Operação com leve desequilíbrio e sobretensão.....	84
7.2 - Testes em Campo.....	89
7.3 - Conclusão.....	96
8 - CONCLUSÃO GERAL.....	97
8.1 - Contribuições.....	98
8.2 - Sugestões para trabalhos futuros.....	98
REFERÊNCIAS.....	99
APÊNDICE: Códigos Assembly dos programas utilizados no STATCOM.....	101

1 - INTRODUÇÃO

O trabalho apresentado tem por finalidade prover melhorias na qualidade da tensão de fornecimento em redes secundárias de distribuição. Atualmente, a preocupação com a qualidade da energia elétrica ocorre principalmente devido às cargas elétricas modernas estarem cada vez mais sensíveis às variações de tensão. Este fato tem forçado a definição de padrões técnicos por parte da Agência Nacional de Energia Elétrica (ANEEL).

Quando se trata da qualidade da energia elétrica, é entendida como sendo aquela que garante o funcionamento contínuo, adequado e seguro dos equipamentos elétricos e processos associados, sem afetar o meio ambiente e o bem estar das pessoas [1].

Uma representação unifilar básica de um sistema de alimentação, vista pela carga alimentada, é mostrada na Figura 1.1a. Toda a impedância do caminho da corrente desde o gerador até a carga (alimentadores, transformadores, impedância interna do gerador) está representada em $R+jX$. Tipicamente, as cargas são do tipo RL . A Figura 1.1b mostra o diagrama fasorial do sistema. Existe uma queda de tensão entre a fonte ideal e a carga, que depende do nível de corrente, do fator de potência da carga, e da impedância do caminho.

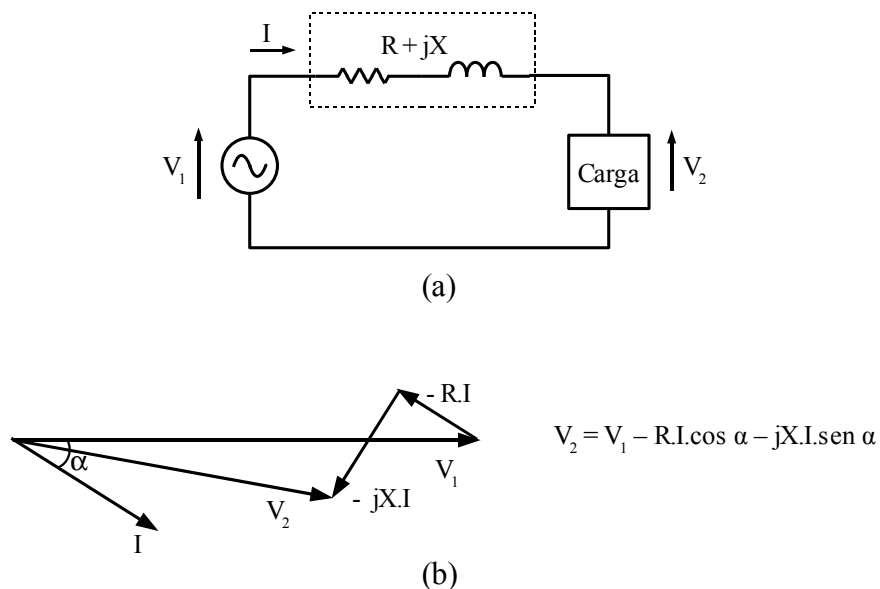


Figura 1.1: (a) Representação unifilar básica de um sistema de alimentação; (b) Diagrama fasorial do sistema.

Sabe-se que tanto os equipamentos da concessionária como os pertencentes aos consumidores, são projetados para trabalhar em um determinado nível de tensão. A operação

prolongada destes equipamentos em uma tensão fora de limites aceitáveis pode afetar o seu correto funcionamento reduzindo sua vida útil, ou até mesmo causando interrupções acidentais. Por isso o nível de tensão deve ser mantido dentro de limites aceitáveis de acordo com [2].

Um outro fator que compromete a qualidade no fornecimento da energia elétrica ocorre quando uma carga trifásica desequilibrada, ou simplesmente cargas monofásicas, são ligadas ao sistema, estas fazem surgir correntes desequilibradas, ou seja, em cada fase há um valor de corrente diferente. Isso causa quedas de tensão diferentes nas fases, acarretando um desequilíbrio de tensões na barra de carga (V_2). Considerando que na barra 2 também se encontrem outras cargas equilibradas, o fato de V_2 ter se tornado desbalanceada causa a circulação de correntes desequilibradas mesmo nas cargas equilibradas. No caso de um motor de indução, por exemplo, isso provoca aquecimento e oscilações de torque. As perdas neste tipo de motor aumentam cerca de 20% quando o desbalanceamento de tensão é de 3,5% [3], além de uma redução em sua vida útil em torno de 50% de acordo com a Figura 1.2 [4].

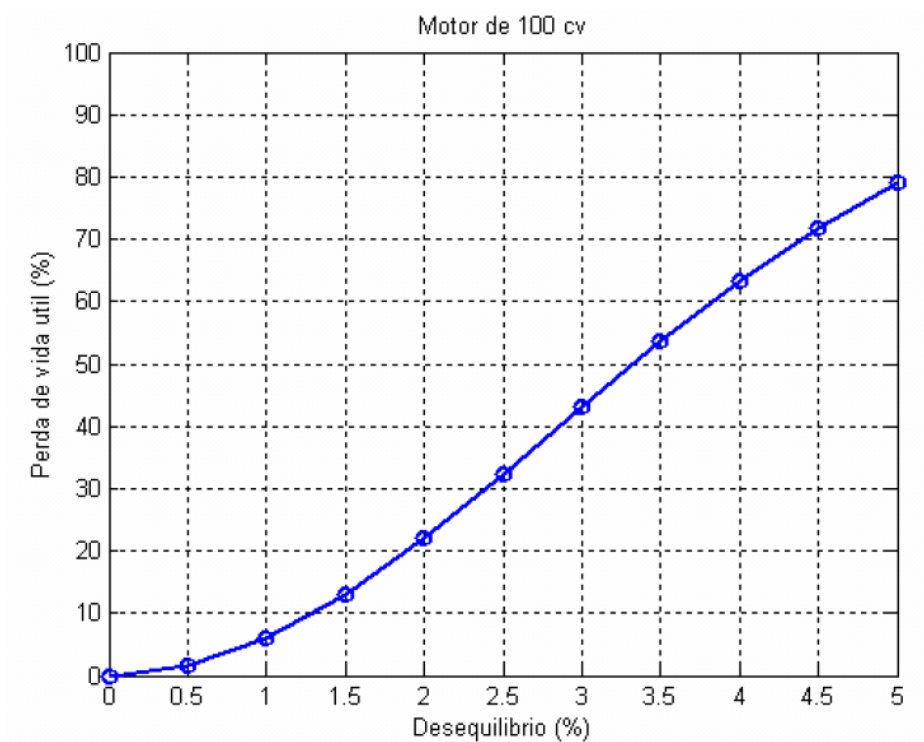


Figura 1.2: Efeito de desequilíbrio na vida útil de motores
Fonte: Nota técnica GQEE para Eletropaulo.

Sendo assim, além da regulação de tensão, há a questão do desequilíbrio de tensões que deve ser tratado a fim de se fornecer tensões balanceadas ao consumidor, dentro dos limites estabelecidos. No caso brasileiro, os limites recomendáveis são de 2%. Estes sistemas trifásicos desequilibrados podem ser tratados como a superposição de três sistemas trifásicos equilibrados denominados de sequência positiva, negativa e zero [5].

Alternativas simples para melhorar a regulação de tensão dos sistemas de energia são [6]:

- Adicionar banco de capacitores em paralelo para reduzir a parcela reativa da corrente I , deslocando-a para estar mais em fase com a tensão.
- Adicionar reguladores de tensão, os quais introduzem uma variação de tensão (ΔV) em fase com a tensão do ponto de inserção, buscando manter a tensão V_2 constante.
- Adicionar capacitores em série para cancelar a queda $X.I$ na impedância indutiva.
- Empregar conversores eletrônicos de potência.

A aplicação de eletrônica de potência em sistemas elétricos de potência vem ganhando importância nos últimos anos. Algumas aplicações tal como a transmissão em corrente contínua em alta tensão é bastante consolidada, enquanto outras ainda estão num estágio de interesse de pesquisa. Estes equipamentos são tipicamente referenciados como dispositivos ou tecnologia FACTS (Flexible AC Transmission Systems), embora sua aplicação não se restrinja aos sistemas de transmissão.

Soluções para os problemas discutidos anteriormente têm sido propostas usando conversores estáticos de potência. Neste cenário, aparecem em destaque os compensadores estáticos de reativos (“Static VAR Compensator” - SVC), que tem como objetivo realizar um controle fino de reativos em toda a faixa de trabalho e com a vantagem de apresentar rápida resposta dinâmica [3].

Considerando que se deseja atuar na rede secundária de baixa tensão, cuja tensão eficaz de linha nominal é de 220 V, o mais indicado é uma topologia denominada D-STATCOM (*Distribution STATic COMpensator*). Cabe realçar que embora o enfoque dado seja voltado para a compensação reativa e, de forma associada, ao controle do nível de tensão, é possível fazer compensação de desequilíbrio de tensões com o STATCOM. Para isso o controle de tensão a ser implementado deve contemplar mecanismos de regulação de forma a manter as tensões de sequência positiva no valor de referência, enquanto minimiza as componentes de sequência negativa e zero.

Na literatura existem duas abordagens usadas para elaboração do algoritmo de controle. A primeira é a teoria da potência ativa e reativa instantânea [7], e a outra é a transformação das correntes e tensões para o referencial síncrono (teoria dq).

Nesta última, é possível extrair dos sinais de corrente e tensão da rede, as componentes simétricas, a componente ativa e reativa, e as componentes harmônicas. Deste modo, um controle

individual destas componentes pode ser realizado, objetivando maior flexibilidade e maior desempenho da compensação. Esta técnica é chamada de compensação seletiva [8].

O algoritmo de controle é baseado no teorema da superposição, onde o sistema trifásico a quatro fios desbalanceado é representado por meio de componentes simétricas instantâneas de sequência. Várias técnicas são aplicáveis à extração das componentes de sequência, incluindo: transformada dq0 por fase [9], detecção de cruzamento por zero com PLL (*phase locked loop*), transformação para vetor de espaço instantâneo utilizando hardware dedicado de um DSP (*digital signal processors*) e algoritmo de aceleração de FFT, algoritmo de janela de tempo pequena [10], etc. Os critérios principais são os atrasos computacionais e a habilidade em remover os efeitos do desbalanceamento e das harmônicas.

De uma maneira geral, esta proposta tem por objetivo aperfeiçoar o trabalho descrito em [9], no que concerne à obtenção das componentes simétricas (sequências positiva, negativa e zero) através de uma técnica que requeira menor esforço de processamento, mas sem comprometer a qualidade da extração, sobretudo quanto à precisão e à resposta dinâmica. Além disto, será buscado um mecanismo de controle que proteja o STATCOM da eventualidade de uma súbita variação da tensão do ponto de acoplamento.

Para tal o trabalho está dividido da seguinte forma: No Capítulo 2, apresentam-se os fundamentos do compensador de reativos (STATCOM). No Capítulo 3, é realizada uma breve apresentação do conceito das componentes simétricas, em específico para o caso da tensão, objetivo do trabalho e o desequilíbrio de tensões. O Capítulo 4 traz a apresentação do Método da Transformação dq0 por fase e as estratégias de controle adotadas. No capítulo 5 são apresentadas as simulações para um protótipo inicial de 3kVA. No Capítulo 6 são apresentados os fluxogramas das principais rotinas de implementação do software, bem como as características do DSP (Digital Signal Processor) utilizado no controle do compensador e uma breve descrição dos componentes do compensador de 20kVA. O Capítulo 7 mostra os resultados obtidos com um STATCOM de 20kVA em testes de laboratório utilizando um variac de 10kVA com limitação de potência do conversor, e conectado a rede interna das dependências da ESCELSA em Carapina, nas cidade de Serra-ES, operando em condições nominais. As conclusões gerais e continuidade do trabalho serão apresentadas no Capítulo 8.

2 - FUNDAMENTOS DO COMPENSADOR DE REATIVOS

2.1 - Compensadores estáticos série e shunt

Como dito no capítulo anterior, a causa principal da maioria dos problemas de regulação de tensão é a impedância Z no caminho entre fonte e carga no sistema de energia. As medidas corretivas geralmente envolvem compensar a impedância Z ou compensar a queda de tensão $R.I + jX.I$ causada pela corrente circulando na impedância.

Tais compensações podem ser realizadas empregando conversores estáticos. A Figura 2.1 ilustra os dois tipos básicos de compensadores: a Figura 2.1a mostra um compensador série, e a Figura 2.1b um compensador paralelo.

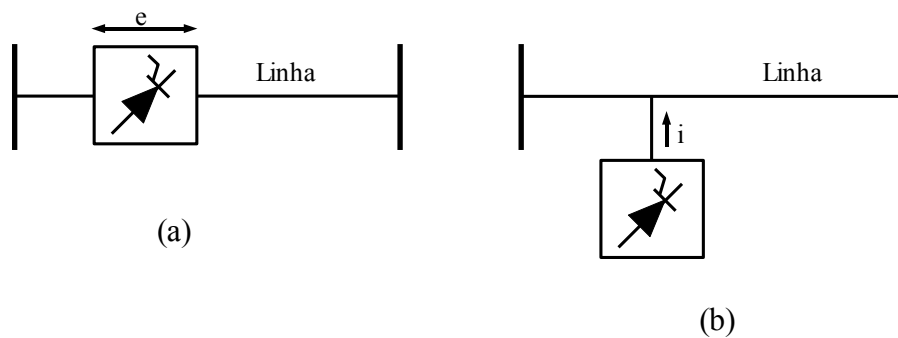


Figura 2.1: Compensadores reativos: (a) compensador Série; (b) compensador paralelo ("shunt").

O papel do compensador série é o de injetar uma tensão em série com a linha. Quando esta tensão está em quadratura de fase com a corrente da linha, o compensador série fornece apenas potência reativa. Para qualquer outro ângulo de fase, haverá também a circulação de potência ativa. O compensador paralelo, por sua vez, pode ser visto como uma fonte de corrente, que injeta corrente na barra de conexão. Se a corrente injetada está em quadratura de fase com a tensão da barra, o compensador paralelo fornece ou consome apenas potência reativa, funcionando como capacitor ou indutor variável. Porém, se o ângulo entre as fases da corrente injetada e da tensão do barramento não é 90° , haverá também a troca de potência ativa.

Dentre as duas técnicas de compensação apresentadas, a técnica "Shunt" é preferida para o problema de compensação reativa, e o uso de um STATCOM para a Distribuição (D-STATCOM), se justifica devido a:

- Permitir um controle quase instantâneo dos reativos;
- Ser capaz de operar emulando tanto um reator (absorvendo reativos) quanto um capacitor (fornecendo reativos), de forma continuamente variável.
- Utilizar uma topologia consolidada em acionamentos elétricos de baixa tensão, o inversor PWM, que possui custo baixo e é de elevada confiabilidade.
- As tensões harmônicas geradas pelo inversor PWM são de alta frequência, com isso a corrente de compensação injetada no sistema é praticamente senoidal.
- Equipamento compacto para a potência reativa pretendida.
- A potência reativa gerada varia linearmente com a tensão do barramento comum, diferente da conexão com capacitor ou reator cuja energia reativa é proporcional ao quadrado da tensão no barramento.

2.2 - Princípio de funcionamento do STATCOM

Seu princípio de funcionamento como compensador de potência reativa [11] é similar ao da máquina síncrona, o que dá origem a sua designação: "Compensador síncrono estático" ("Static Synchronous Compensator – STATCOM") podendo facilmente ser entendido com o auxílio do diagrama unifilar da Figura 2.2, com as variáveis tensão e corrente representadas por fasores e desconsiderando-se as harmônicas. O sistema CA é representado pela fonte de tensão V_S , com impedância nula e a tensão nos terminais do conversor representada pelo fasor V_{COM} , que, por simplicidade, deve ser também entendido como uma fonte de tensão. A reatância equivalente entre o ponto de conexão comum (denominado PCC) e os terminais do STATCOM é representada por X_L .

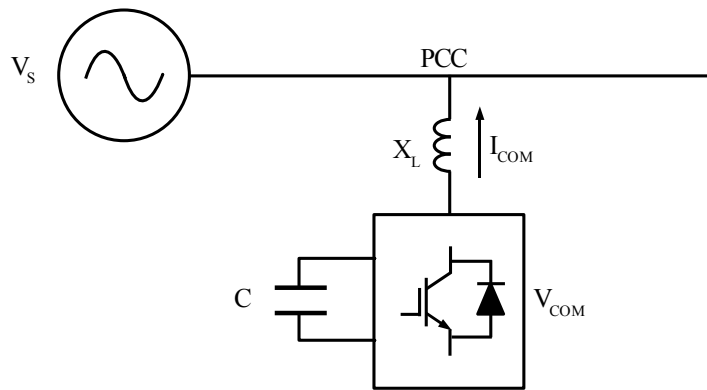


Figura 2.2: Diagrama unifilar do STATCOM.

As equações da potência ativa e reativa fluindo entre essas duas fontes são dadas por:

$$P_{S-COM} = \frac{V_S \cdot V_{COM}}{X_L} \sin \Delta \phi \quad (2.1)$$

$$Q_{S-COM} = \frac{V_S^2}{X_L} - \frac{V_S \cdot V_{COM}}{X_L} \cos \Delta \phi \quad (2.2)$$

Onde:

- V_S é o módulo do fasor V_S ;
- V_{COM} é o módulo do fasor V_{COM} ;
- $\Delta \phi$ é o ângulo entre os fasores V_S e V_{COM} ($\phi_{V_S} - \phi_{V_{COM}}$), chamado de ângulo de potência;
- X_L é a reatância indutiva dada por $2\pi fL$, onde f é a frequência da rede e L o valor da indutância equivalente entre o STATCOM e o PCC.

Da eq. (2.1) tem-se que quando a tensão V_S estiver adiantada em relação à V_{COM} , isto é, $90^\circ > \Delta\phi > 0$, haverá um fluxo de potência ativa na direção do STATCOM (fonte V_{COM}). Este fluxo é necessário para que sejam supridas as perdas do inversor e o carregamento do capacitor do elo CC, quando a tensão no barramento estiver reduzida, de forma a manter o barramento CC com tensão constante. Semelhantemente, quando a tensão V_S estiver atrasada em relação à V_{COM} , isto é, $-90^\circ < \Delta\phi < 0$, haverá um fluxo de potência ativa na direção do sistema (fonte V_S) proporcionando um pequeno descarregamento do capacitor do elo CC.

Na equação (2.2), quando V_{COM} é menor que V_S , e $\Delta\phi = 0$, a potência reativa nos terminais do STATCOM será indutiva, isto é, $Q_S > 0$. Neste caso a corrente I_{COM} estará adiantada (operando na convenção de gerador) em relação à V_S , e o STATCOM estará absorvendo reativos da rede. Quando V_{COM} é maior que V_S , e $\Delta\phi = 0$, a potência reativa nos terminais do STATCOM é capacitiva, isto é, $Q_S < 0$. Neste caso a corrente I_{COM} estará atrasada (operando na convenção de gerador) em relação à V_S e o STATCOM estará fornecendo reativos a rede. Sendo assim o controle da potência reativa é feito ajustando-se a amplitude da componente fundamental da tensão de saída V_{COM} , a qual pode ser modificada pelo padrão PWM. A Figura 2.3 representa os diagramas fasoriais para estas situações. A tensão do capacitor V_{CC} , conectado ao elo CC do conversor, é mantida constante e igual ao valor de referência por uma malha de controle especial, que controla o ângulo de defasamento $\Delta\phi$ entre V_S e V_{COM} .

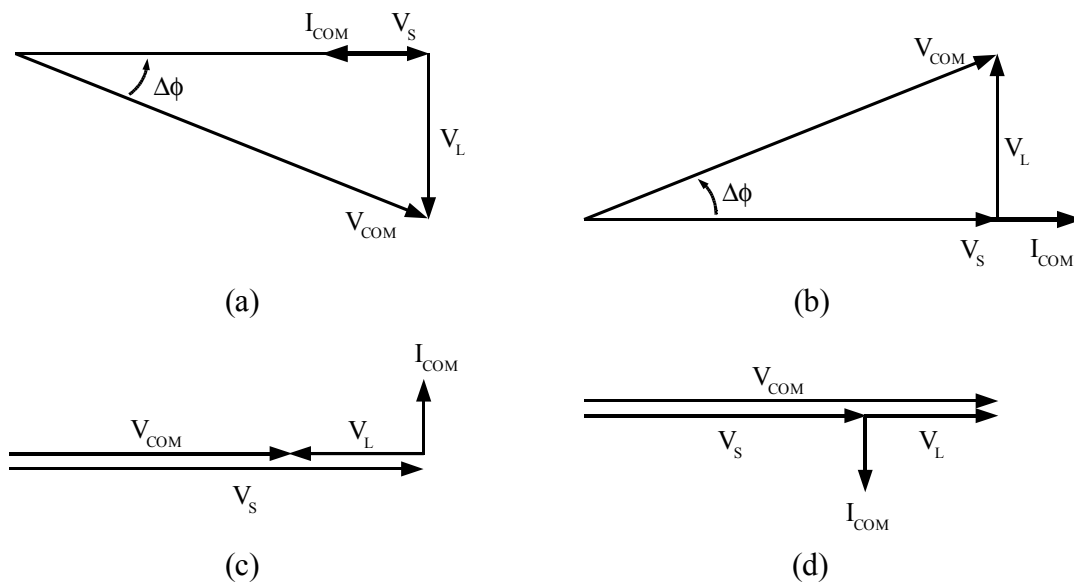


Figura 2.3: Diagramas fasoriais do STATCOM. a) STATCOM absorve potência ativa; b) STATCOM fornece potência ativa; c) STATCOM absorve potência reativa; d) STATCOM fornece potência reativa.

2.3 - Topologia utilizada

Topologias usadas em compensadores estáticos a três condutores, ou seja, sem o condutor neutro, são comumente compostas de um inversor convencional de três braços. Entretanto, esta opção não permite a compensação das componentes de sequência zero do sistema. Para tal, se faz necessário uma topologia inversora a quatro fios. Existem duas configurações para inversores do tipo fonte de tensão que podem ser usadas em sistemas com quatro fios, que serão apresentadas a seguir [12].

2.3.1 - Inversor com Quatro Braços

A configuração apresentada na Figura 2.4 mostra um inversor não convencional composto por quatro braços, onde o condutor neutro é conectado ao quarto braço.

Como este inversor possui mais duas chaves semicondutoras em relação a um inversor convencional de três braços, o mesmo apresenta uma maior controlabilidade, entretanto se torna uma alternativa de maior custo.

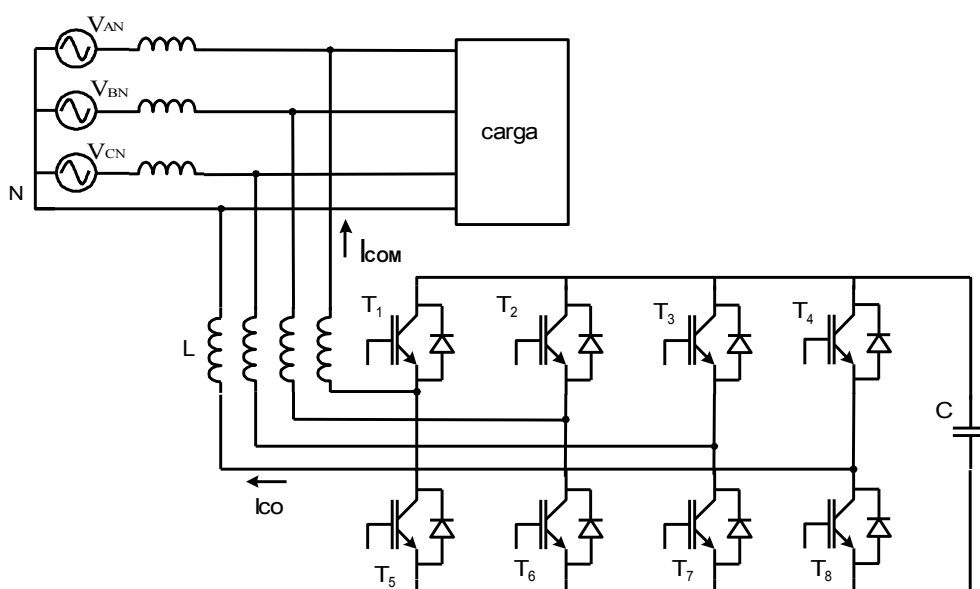


Figura 2.4: Inversor com quatro braços.

2.3.2 - Inversor com Três Braços

Um inversor convencional de três braços pode ser modificado de modo a oferecer o quarto condutor, como mostra a Figura 2.5.

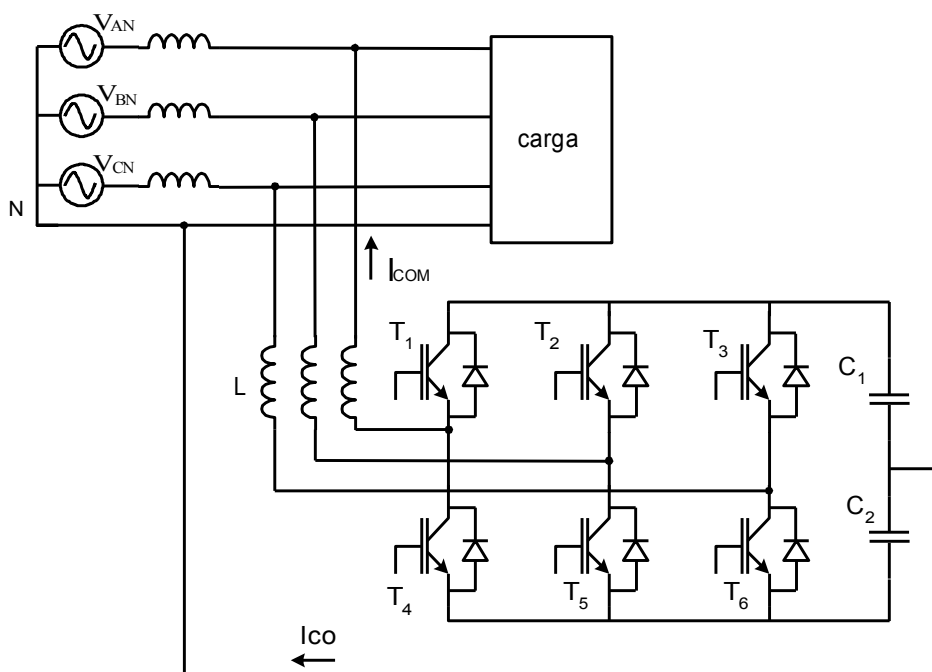


Figura 2.5: Inversor com três braços e quatro fios.

Neste caso, o capacitor único é substituído por dois capacitores em série, permitindo a conexão do condutor neutro ao ponto médio do barramento CC. Esta alternativa foi selecionada por apresentar um menor custo. Além disso, trata-se de uma topologia que faz uso de um inversor convencional, amplamente difundido e confiável.

Esta topologia exige um mecanismo de controle da tensão nos capacitores, pois quando as correntes de linha (I_{COM}) do STATCOM apresentam componentes de sequência zero, tais componentes circulam por C_1 ou C_2 e retornam pelo neutro. Isso causa variação das tensões nos capacitores C_1 e C_2 . Considerando apenas um braço para a análise, a Figura 2.6 mostra o efeito da circulação da corrente I_{COM} nos capacitores C_1 e C_2 . A corrente I_{COM} circula em ambos os sentidos através das chaves e capacitores, resultando em quatro etapas de operação (a, b, c, d):

- Etapa (a): a corrente I_{COM} é positiva e circula por T_4 e C_2 . I_{COM} cresce e V_{C2} diminui.
- Etapa (b): a corrente I_{COM} é positiva e circula por D_{T1} e C_1 . I_{COM} decresce e V_{C1} aumenta.
- Etapa (c): a corrente I_{COM} é negativa e circula por T_1 e C_1 . I_{COM} cresce e V_{C1} diminui.
- Etapa (d): a corrente I_{COM} é negativa e circula por D_{T4} e C_2 . I_{COM} decresce e V_{C2} aumenta.

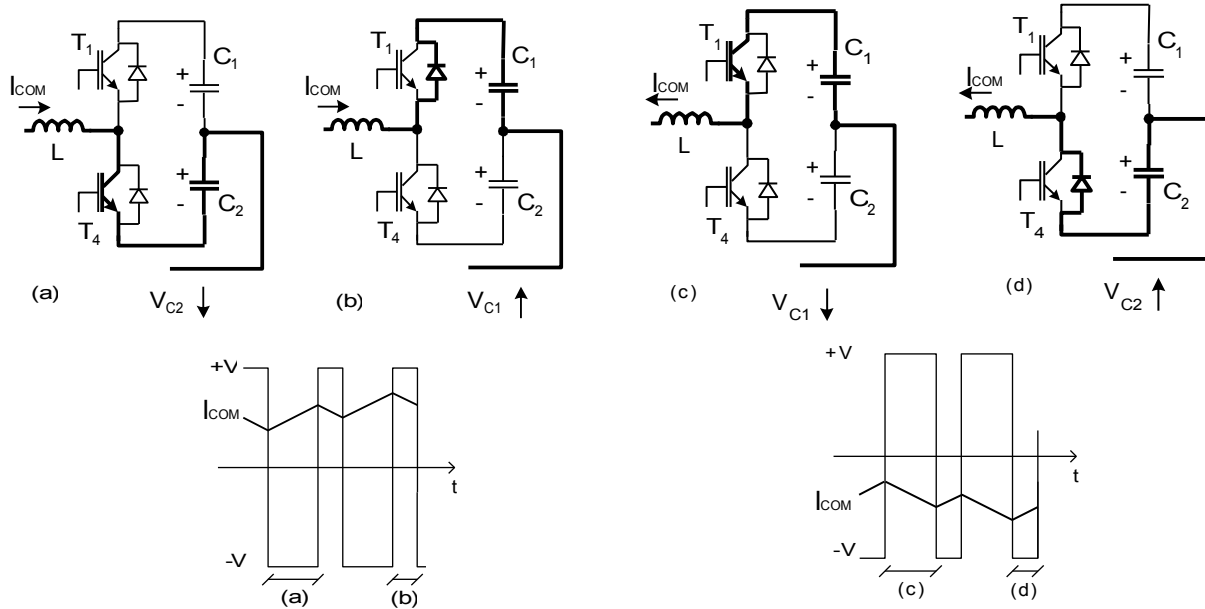


Figura 2.6: Etapas de operação e efeito de I_{COM} em V_{C1} e V_{C2} .

Em resumo, quando I_{COM} é positiva ocorre aumento de V_{C1} e diminuição de V_{C2} , porém em taxas diferentes dependendo do instante t . E quando I_{COM} é negativa ocorre o inverso, ou seja, V_{C1} diminui e V_{C2} aumenta. Portanto, o valor total da tensão $V_{C1} + V_{C2}$ e a diferença $V_{C2} - V_{C1}$ oscilarão não apenas na frequência de chaveamento, como também na frequência da componente de sequência zero produzida pelo inversor.

3 - AS COMPONENTES SIMÉTRICAS E O DESEQUILÍBRIO

A teoria das componentes de sequências [5], pode ser aplicada tanto para correntes como tensões trifásicas. Neste trabalho serão apenas analisadas as componentes simétricas das tensões. Em [13], é apresentada de uma forma bem didática a compreensão destas componentes.

Os valores das componentes simétricas podem ser determinados facilmente através da seguinte equação [5]:

$$\begin{bmatrix} V^+ \\ V^- \\ V^0 \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & a & a^2 \\ 1 & a^2 & a \\ 1 & 1 & 1 \end{bmatrix} \cdot \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (3.1)$$

De forma similar pode-se também determinar os valores das tensões desbalanceadas através da seguinte transformação inversa [5]:

$$\begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ a^2 & a & 1 \\ a & a^2 & 1 \end{bmatrix} \cdot \begin{bmatrix} V^+ \\ V^- \\ V^0 \end{bmatrix} \quad (3.3)$$

Onde o fasor a é definido na forma polar por:

$$a = 1 \angle 120^\circ \quad (3.4)$$

Utilizando (3.1) pode-se agora aplicar a teoria das componentes simétricas em condições desbalanceadas, determinando assim as componentes negativas e zero, que representam sistemas desequilibrados, sendo que a componente de sequência zero somente aparecerá em sistemas a quatro fios.

O fator de desequilíbrio de um sistema, em uma das formas como definido no PRODIST [2], é a relação percentual entre a componente de sequência negativa e a componente de sequência positiva.

$$FD\% = \frac{V^-}{V^+} \quad (3.5)$$

A outra formulação alternativa, também citada no PRODIST, que conduz a resultados em consonância com a equação anterior, segue-se:

$$FD \% = 100 \sqrt{\frac{1 - \sqrt{3 - 6\beta}}{1 + \sqrt{3 - 6\beta}}} \quad (3.6)$$

Sendo:

$$\beta = \frac{V_{ab}^4 + V_{bc}^4 + V_{ca}^4}{(V_{ab}^2 + V_{bc}^2 + V_{ca}^2)^2} \quad (3.7)$$

Onde V_{ab} , V_{bc} e V_{ca} são as tensões eficazes de linha do sistema elétrico.

Uma outra forma matemática de definir o desequilíbrio é pelo desvio máximo da média das tensões trifásicas (V_{desv}), dividido pela média das tensões trifásicas (V_{med}), também expresso em porcentagem, conforme norma NEMA–MG–14.34.

$$FD \% = \frac{V_{desv}}{V_{med}} \quad (3.8)$$

O projeto proposto, através de uma lógica de controle, visa fazer a compensação da sequência positiva da tensão com o objetivo de atenuar sub-tensões ou sobretensões na rede elétrica, e minimizar as componentes de sequência negativa e zero (sistema ligeiramente desequilibrado), visto que de acordo com [14], zerar o erro estacionário destas componentes pode gerar oscilações em seus ângulos de fase, exigindo uma resposta muito rápida do sistema para a correção.

Esta técnica dispensa o uso da compensação utilizando a Teoria PQ [7] (Teoria da potência ativa e reativa instantâneas), visto que a compensação é feita diretamente através das componentes de sequência utilizando o método das componentes dq0 por fase [9].

Neste trabalho foi adotada a equação 3.5 para a determinação do desequilíbrio entre as tensões de fase.

4 - ESTRATÉGIAS DE CONTROLE

4.1 - Método das componentes dq0 por fase

O método empregado em [10] consiste em extrair as componentes simétricas da tensão da rede, e a partir de referenciais destas, gerar a ação de controle necessária para que o compensador forneça ou absorva reativos da rede, bem como compensar desequilíbrios.

A extração das componentes simétricas da tensão é feita por meio de duas etapas.

Primeiramente, a tensão de cada fase é considerada como sendo uma componente senoidal deslocada de um ângulo de fase φ , dadas por:

$$V_a(t) = |V_a| \text{sen}(\omega t + \varphi_a) \quad (4.1)$$

$$V_b(t) = |V_b| \text{sen}(\omega t + \varphi_b) \quad (4.2)$$

$$V_c(t) = |V_c| \text{sen}(\omega t + \varphi_c) \quad (4.3)$$

A tensão no domínio do tempo é transformada para a representação vetorial $V_a = V_{qa} - jV_{da}$ onde as componentes do vetor são suas projeções nos eixos ortogonais dq (referencial síncrono dq), conforme Figura 4.1 para fase a. Os eixos dq giram sincronamente com a componente fundamental, com $\theta = \omega t$.

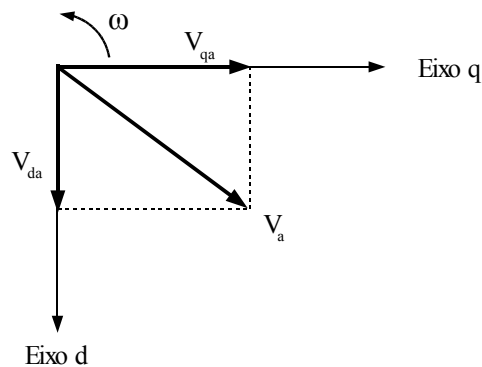


Figura 4.1: Decomposição da tensão V_a nos eixos dq.

Esta transformação consiste no deslocamento da tensão de fase no domínio do tempo, processo este denominado em inglês como *heterodyning*, obtido pela multiplicação da tensão por $2\cos(\theta)$ e $-2\sin(\theta)$, ilustrado na Figura 4.2, a fim de se produzir um sinal contínuo mais um sinal

de 2º harmônico. Este último é filtrado com um filtro do tipo *Low-Pass Notch* - (LPN) para obter a projeção das tensões sobre os eixos dq. O projeto do filtro LPN e sua função de transferência são dados em [15]. A vantagem de se utilizar um filtro do tipo LPN é que este promove a completa eliminação do sinal indesejável (120 Hz) e atenua ruídos de alta frequência.

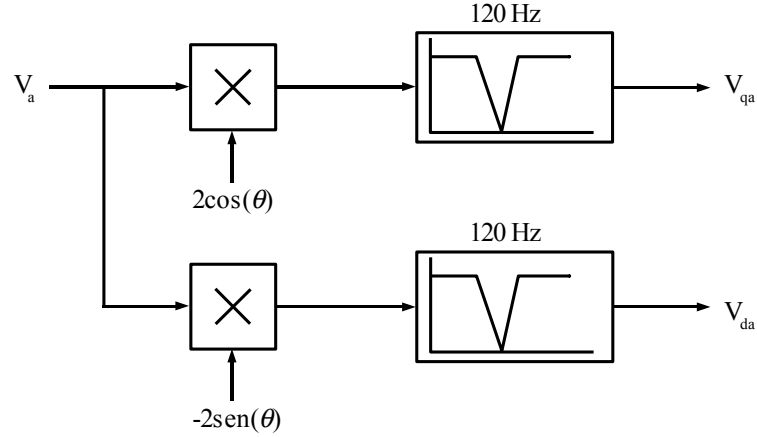


Figura 4.2: Processo de heterodyning e filtragem.

Através de algumas relações trigonométricas, as componentes vetoriais de $V_a(t)$ podem ser simplificadas para:

$$V_{qa} = |V_a| [\sin(\varphi_a) + \sin(\varphi_a + 2\theta)] \quad (4.4)$$

$$V_{da} = -|V_a| [\cos(\varphi_a) - \cos(\varphi_a + 2\theta)] \quad (4.5)$$

De forma similar, tem-se as expressões para V_b e V_c .

Os sinais consistem de um termo $\sin(\varphi)$ ou $\cos(\varphi)$ mais uma componente pulsante filtrada pelo filtro LPN. O termo resultante, $\sin(\varphi)$ ou $\cos(\varphi)$, representa a projeção do vetor tensão nos eixos dq. A forma de obtenção do vetor das tensões é mostrada nas equações (4.6) e (4.7).

$$V_{qd}^{abc} = T_\theta V^{abc} \quad (4.6)$$

$$\begin{bmatrix} V_{qa} \\ V_{da} \\ V_{qb} \\ V_{db} \\ V_{qc} \\ V_{dc} \end{bmatrix} = \begin{bmatrix} 2\cos(\theta) & 0 & 0 \\ -2\sin(\theta) & 0 & 0 \\ 0 & 2\cos(\theta) & 0 \\ 0 & -2\sin(\theta) & 0 \\ 0 & 0 & 2\cos(\theta) \\ 0 & 0 & -2\sin(\theta) \end{bmatrix} \cdot \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (4.7)$$

A segunda etapa consiste em se obter, a partir do referencial dq, as componentes simétricas, ou seja, as componentes de sequência positiva, negativa e zero, conforme equação (3.1), porém as tensões V_a , V_b e V_c são substituídas por suas representações em dq, onde $V_{qdabc} = V_{qabc} - jV_{dabc}$.

$$\begin{bmatrix} V_q^+ \\ V_d^+ \\ V_q^- \\ V_d^- \\ V_q^0 \\ V_d^0 \end{bmatrix} = \begin{bmatrix} T^+ \\ T^- \\ T^0 \end{bmatrix} \cdot \begin{bmatrix} V_{qa} \\ V_{da} \\ V_{qb} \\ V_{db} \\ V_{qc} \\ V_{dc} \end{bmatrix} \quad (4.8)$$

Onde T^+ , T^- e T^0 , são definidas como:

$$T^+ = \begin{bmatrix} \frac{1}{3} & 0 & -\frac{1}{6} & \frac{\sqrt{3}}{6} & -\frac{1}{6} & -\frac{\sqrt{3}}{6} \\ 0 & \frac{1}{3} & -\frac{\sqrt{3}}{6} & -\frac{1}{6} & \frac{\sqrt{3}}{6} & -\frac{1}{6} \end{bmatrix} \quad (4.9)$$

$$T^- = \begin{bmatrix} \frac{1}{3} & 0 & -\frac{1}{6} & -\frac{\sqrt{3}}{6} & -\frac{1}{6} & \frac{\sqrt{3}}{6} \\ 0 & \frac{1}{3} & \frac{\sqrt{3}}{6} & -\frac{1}{6} & -\frac{\sqrt{3}}{6} & -\frac{1}{6} \end{bmatrix} \quad (4.10)$$

$$T^0 = \begin{bmatrix} \frac{1}{3} & 0 & \frac{1}{3} & 0 & \frac{1}{3} & 0 \\ 0 & \frac{1}{3} & 0 & \frac{1}{3} & 0 & \frac{1}{3} \end{bmatrix} \quad (4.11)$$

Desta forma, as componentes simétricas podem então ser manipuladas dentro do compensador, pois as componentes positiva, negativa e zero são representadas por valores constantes, de forma que as componentes de sequência negativa e zero sejam minimizadas e a componente de sequência positiva seja mantida em um valor de referência estabelecido. Além disso, o processo de transformação isola as possíveis harmônicas presentes, pois apenas as correntes em 60Hz serão representadas por valores CC, o que facilita a filtragem e possibilita a compensação da componente fundamental apenas.

A transformação inversa, de componentes simétricas para dq, é dada por:

$$V_{qd}^{abc} = T^{-1} V_{qd}^{+-0} \quad (20)$$

Onde T^{-1} é dada por:

$$T^{-1} = \begin{bmatrix} 1 & 0 & 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & -\frac{1}{2} & \frac{\sqrt{3}}{2} & 1 & 0 \\ \frac{\sqrt{3}}{2} & -\frac{1}{2} & -\frac{\sqrt{3}}{2} & -\frac{1}{2} & 0 & 1 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & -\frac{1}{2} & -\frac{\sqrt{3}}{2} & 1 & 0 \\ -\frac{\sqrt{3}}{2} & -\frac{1}{2} & \frac{\sqrt{3}}{2} & -\frac{1}{2} & 0 & 1 \end{bmatrix} \quad (21)$$

As tensões são transformadas de volta para o domínio do tempo por:

$$V^{abc} = T_{\theta}^{-1} V_{qd}^{abc} \quad (22)$$

Onde T_{θ}^{-1} é dada por:

$$T_{\theta}^{-1} = \begin{bmatrix} \cos(\theta) & -\sin(\theta) & 0 & 0 & 0 & 0 \\ 0 & 0 & \cos(\theta) & -\sin(\theta) & 0 & 0 \\ 0 & 0 & 0 & 0 & \cos(\theta) & -\sin(\theta) \end{bmatrix} \quad (23)$$

4.2 - Algoritmo de controle

O algoritmo de controle utilizado é o apresentado em [9], baseado no controle por malha de tensão, e seu diagrama em blocos é mostrado na Figura 4.3.

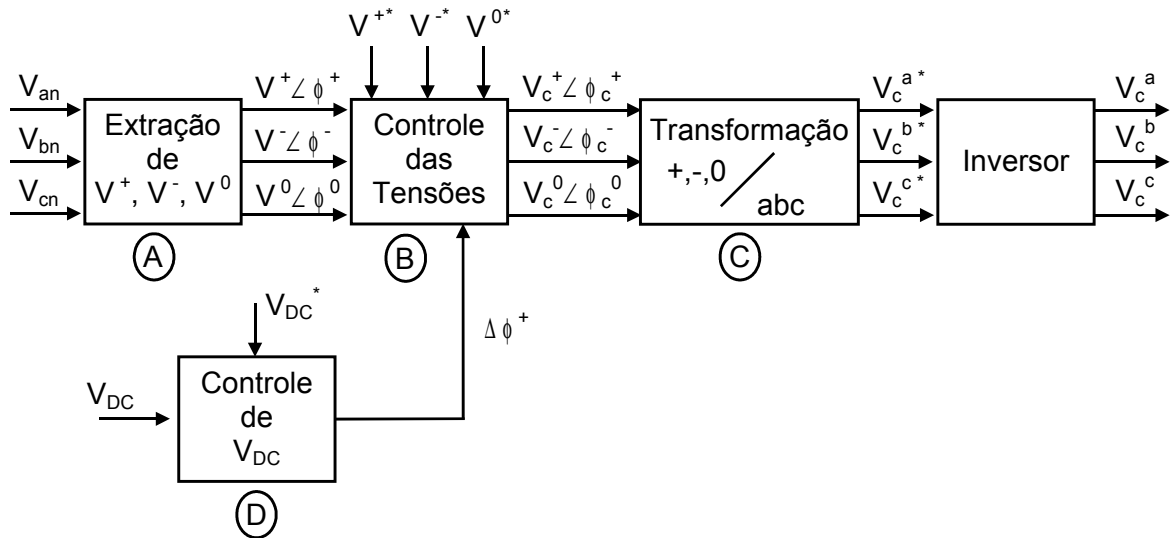


Figura 4.3: Diagrama em blocos do modelo de controle por malha de tensão.

A extração das componentes simétricas (bloco A da Figura 4.3) é feita por meio de duas etapas, conforme explicado no capítulo anterior. A primeira, denominada *heterodyning* realiza a transformação para o referencial dq síncrono, enquanto a segunda obtém as componentes simétricas a partir das tensões no referencial dq. Além do filtro LPN, foi introduzido um filtro passa-baixa com frequência de corte de 200 Hz com o objetivo de filtrar as componentes harmônicas geradas no processo de *heterodyning*, bem como quaisquer outras harmônicas presentes na tensão do ponto de acoplamento do compensador com a rede, mostrado na Figura 4.4.

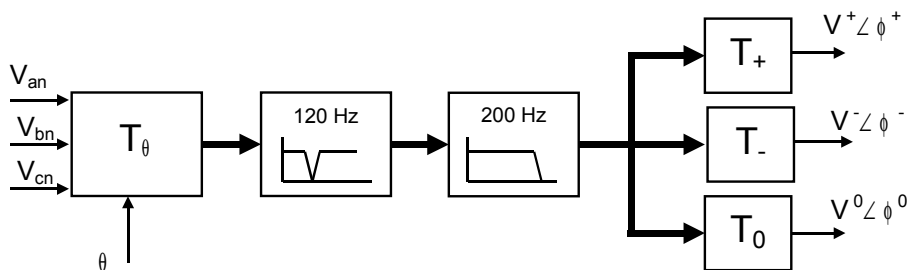


Figura 4.4: Detalhamento do bloco A.

Para realizar esta extração, é necessário obter o ângulo da tensão da rede, geralmente é tomado como referência a fase a do sistema elétrico, para servir de ângulo de referência na transformada dq0. Para este propósito, é utilizado um PLL (*phase-locked-loop*) mostrado a Figura 4.5.

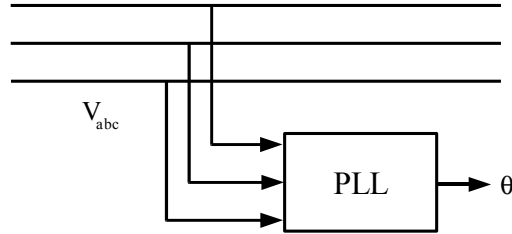


Figura 4.5: PLL.

O PLL é um algoritmo que realiza a detecção da frequência e fase dos sinais de sequência positiva das tensões do sistema elétrico, mesmo que estes estejam misturados a sinais distorcidos e de sequências negativa e zero. Vale ressaltar que ele não detecta as amplitudes, que são sujeitas a existência de componentes de sequência negativa e zero no sistema CA, inclusive harmônicas.

A Figura 4.6 mostra as estruturas de controle das tensões de sequência [9]. São utilizados controladores do tipo proporcional-integral (PI).

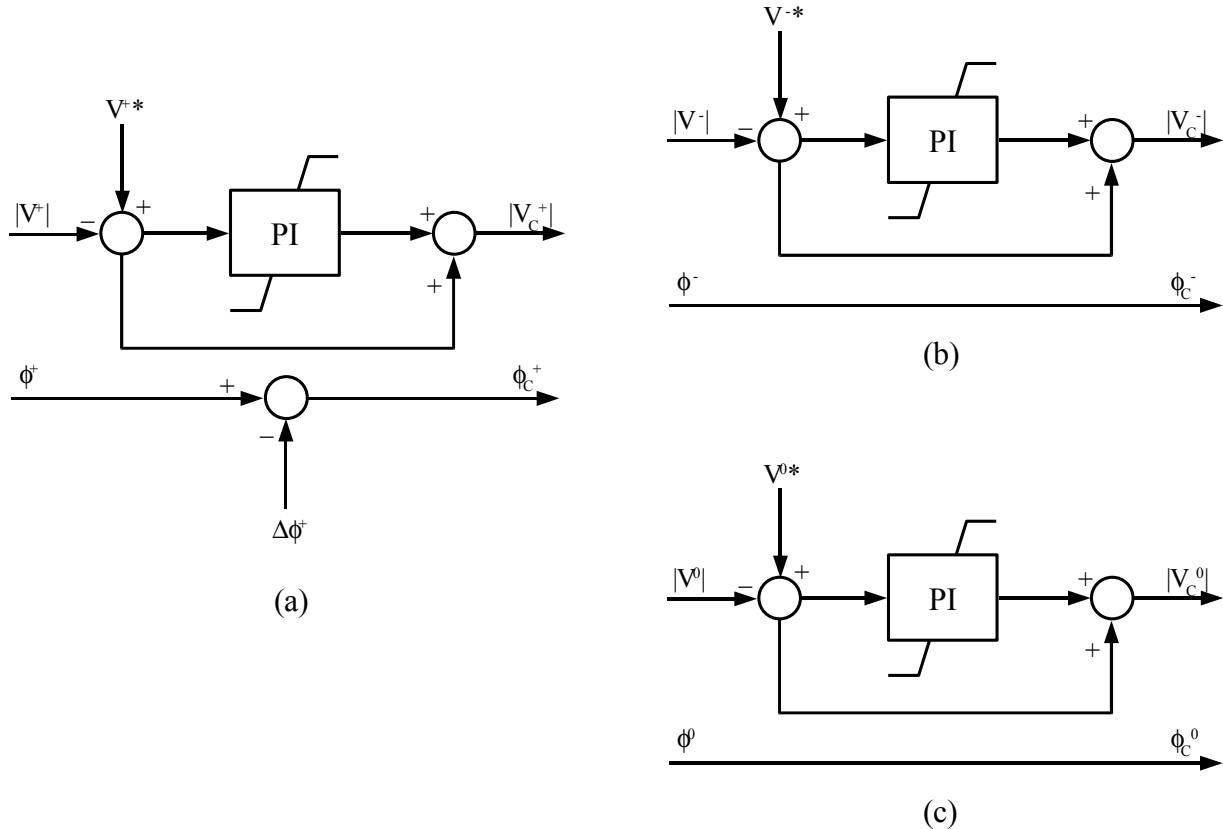


Figura 4.6: Detalhamento do bloco B - Estruturas de Controle: (a) sequência positiva; (b) sequência negativa; (c) sequência zero.

A transformação inversa, das componentes simétricas para o domínio do tempo, é feita em uma etapa única como mostra a Figura 4.7.

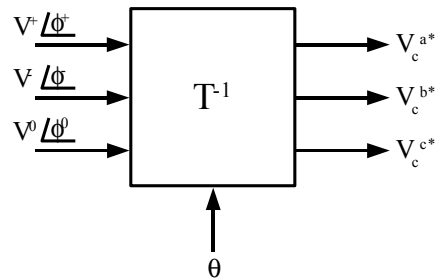


Figura 4.7: Bloco C: Transformação inversa.

Os sinais V_c^{a*} , V_c^{b*} e V_c^{c*} são os sinais de controle enviados para o inversor, a fim de reproduzir a tensão de controle desejada.

A Figura 4.8 mostra o detalhe do controle da tensão do barramento do inversor, que também é feito por um controlador PI. O valor de $\Delta \phi^+$ é normalmente pequeno, já que este regula o fluxo de potência ativa para dentro ou para fora do STATCOM, que durante a compensação, deve ser apenas o necessário para compensar as perdas de potência no inversor.

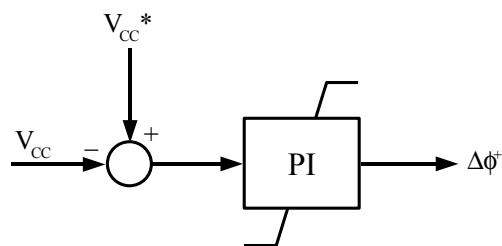


Figura 4.8: Bloco D: Controle de V_{CC} .

5 - SIMULAÇÕES

As simulações aqui apresentadas foram transcritas de [17], onde foi utilizada a plataforma *Matlab/Simulink* em razão da grande flexibilidade e facilidade de uso neste trabalho. Os modelos dinâmicos trifásicos de dispositivos foram implementados utilizando o *SimPowerSystems*, enquanto as rotinas de controle foram implementadas no *SIMULINK*. Ambos fazem parte da versão 7.0 do *Matlab*.

Os modelos foram apresentados no capítulo anterior na seção algoritmo de controle. Nesta análise foi investigado o emprego do DSTATCOM como controlador de nível e redutor de desequilíbrio das tensões em redes secundárias de BT (220 V, fase-fase). Optou-se também pelo controle direto do conversor do DSTATCOM, isto é, o ângulo e a magnitude das tensões de referência são fornecidos pelo controlador implementado no STATCOM [17], sem que haja uma malha explícita de corrente.

O conversor analisado é constituído por IGBTs/diodos e a tensão na saída do conversor é controlada utilizando técnicas de modulação PWM (*Pulse-Width Modulation*).

O modelo utilizado para simulação está mostrado nas Figuras 5.1 e 5.2. Os circuitos de controle e de potência estão representados separadamente para melhor visualização.

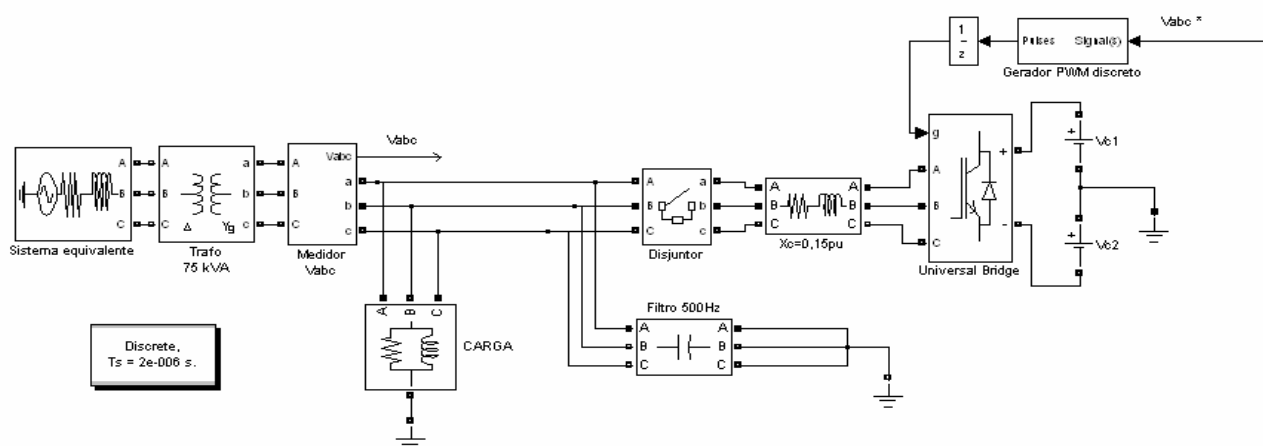


Figura 5.1: Circuito de potência.

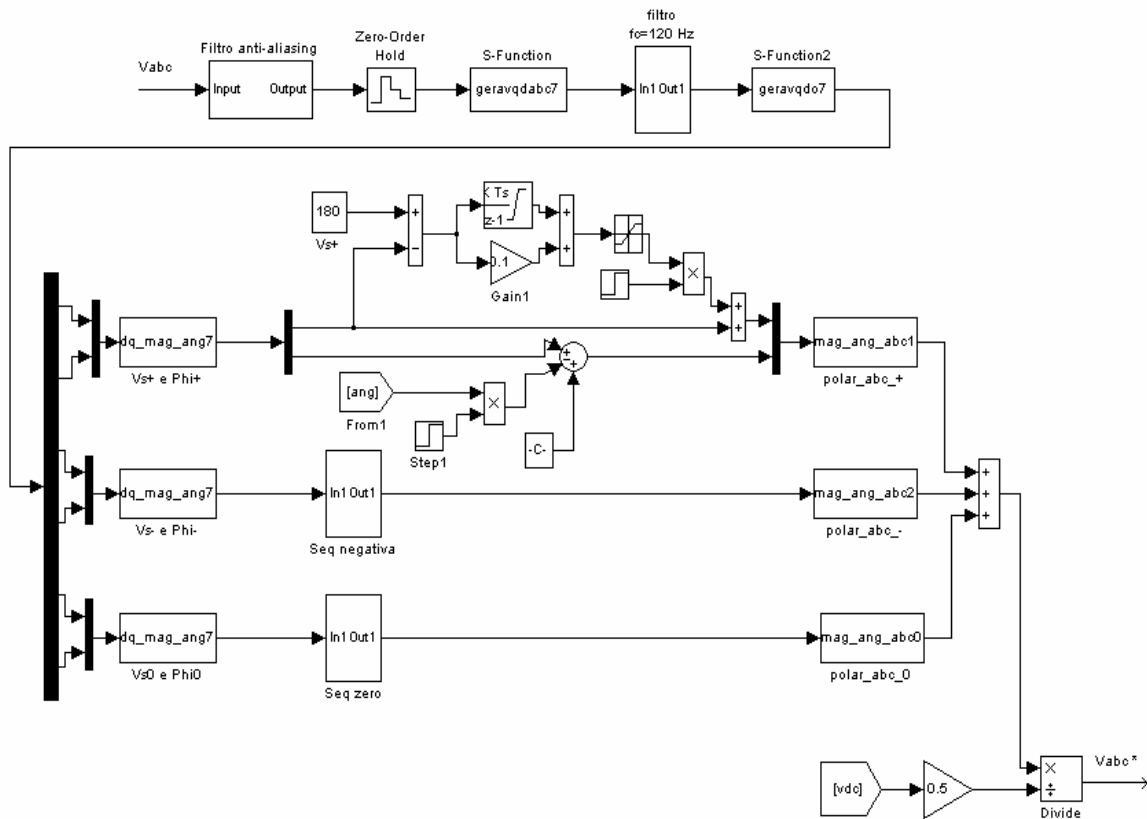


Figura 5.2: Circuito de Controle.

5.1 - Circuito de Potência

Nesse modelo a rede está representada por um sistema equivalente composto por uma fonte trifásica 220 V/60 Hz em série com uma resistência de $0,01\Omega$ e uma indutância de $0,25\text{ mH}$, que representam a impedância de curto-circuito vista pelo primário do transformador. O transformador de 75kVA, 220V, 60Hz apresenta uma resistência equivalente de $0,01\Omega$ e uma indutância de $50\mu\text{H}$, típicas para este tipo de transformador.

O elo de corrente contínua do inversor foi representado de forma simplificada, como mostrado na Figura 5.1. Os capacitores foram substituídos por duas fontes CC de 210V, de forma eliminar o problema do controle de tensão no elo CC.

A reatância de acoplamento entre o inversor e o ponto de conexão de carga tem o valor de $0,15\text{ pu}$, o que corresponde a uma indutância de $0,963\text{ mH}$, para o caso simulado.

O inversor PWM opera na frequência de 5520 Hz , que representa um múltiplo da frequência fundamental, para minimizar a ocorrência de sub-harmônicos. O filtro LC de saída utiliza a própria indutância de acoplamento, em conjunto com um banco de capacitores ligados em Y aterrado, e

apresenta uma frequência de corte em 500Hz. Este filtro tem por objetivo manter a DHT da tensão no PCC abaixo dos valores recomendados pelo PRODIST 8. A contribuição deste banco de capacitores para a geração de reativos é mínima (aproximadamente 5% da potência nominal do STATCOM).

Completa o circuito de potência uma carga trifásica com fator de potência indutivo, representativa de um sistema de distribuição secundária. O valor desta carga é variado para representar a condição desejada (carga leve, pesada).

5.2 - Circuito de Controle

5.2.1 - Controle das tensões de seqüências

A partir das tensões de fase V_{abc} medidas no ponto de conexão de carga e dos valores de referência estipulados para as seqüências positiva, negativa e zero, o circuito de controle fornece uma referência para o gerador de sinal PWM que comanda o inversor, conforme mencionado no capítulo 4.

Os valores medidos de tensão passam por um filtro anti-aliasing: um filtro passa-baixa com frequência de corte em 1kHz, e em seguida são amostrados a cada 100 μ s, típico de uma implementação em tempo real usando um processador digital de sinais (DSP).

As tensões V_{abc} medidas passam por um processo de *heterodyning* seguido da filtragem da componente de 120Hz, sendo representadas no sistema de referência dq por V_{qa} , V_{da} , V_{qb} , V_{db} , V_{qc} , V_{dc} .

Uma segunda transformação gera as componentes de seqüência positiva, negativa e zero no referencial dq V_{q+} , V_{d+} , V_{q-} , V_{d-} , V_{q0} , V_{d0} . Em seguida esses valores são transformados para módulo e ângulo de cada componente de seqüência: V^+ , ϕ^+ , V^- , ϕ^- , V^0 e ϕ^0 .

O controle de cada seqüência é feito então separadamente e de forma similar. O valor medido é comparado à referência e o erro passa por um controlador PI, sendo somado ao valor medido. O ganho integral utilizado foi igual a 15, e o ganho proporcional igual a 0,1 para todas as seqüências. O valor de correção deve ser limitado para não ultrapassar o valor nominal de corrente do inversor. O controle da seqüência positiva está destacado na Figura 5.3.

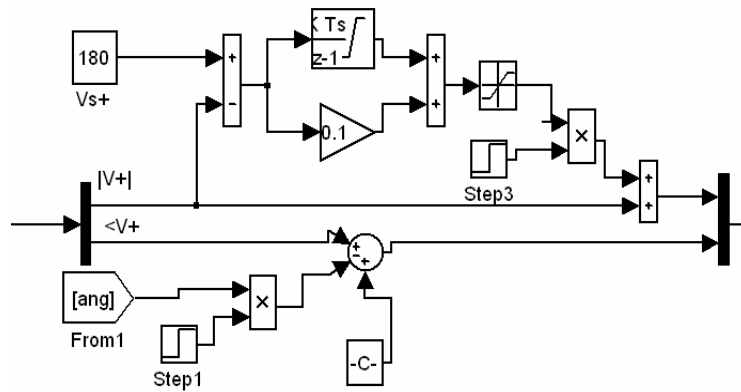


Figura 5.3: Detalhe do controle da sequência positiva.

A partir dos novos valores de módulo e ângulo das sequências, a transformada inversa é executada de modo a resultar nos valores de V_{abc}^* que servem de referência para o gerador PWM.

5.2.2 - Controle de V_{cc}

O controle da tensão no elo CC é feito através do ângulo da tensão de sequência positiva. Um ângulo $\Delta\phi^+$, gerado pelo controlador da tensão do barramento CC, é somado ao ϕ^+ , regulando assim a potência ativa fornecida ao inversor, de forma a manter a tensão do barramento dos capacitores do elo CC no valor especificado de 420V. Tal ação se faz necessária porque ocorrem perdas no inversor e no filtro de saída, que precisam ser supridas pela rede CA. Quando é utilizado o modelo simulado, com fontes CC de 210V no lugar dos capacitores, o controle de V_{cc} não é implementado.

5.3 - Resultados de Simulação

A seguir apresentam-se os resultados das simulações apresentadas em [17], contemplando as várias possibilidades de carregamento do sistema. Nas simulações, salvo informação em contrário, o sistema inicialmente opera por 50ms sem atuação da compensação, para caracterizar a operação sem a presença do STATCOM. Foi também utilizada a característica do *SIMULINK* de iniciar a simulação já em regime permanente, razão pela qual os transitórios de energização ($t=0$) do sistema não estão presentes.

5.3.1 - Partida do STATCOM

Estando os capacitores pré-carregados diretamente da rede com 360V, foi simulada a partida do STATCOM para elevar a tensão V_{CC} até o valor nominal de 420V. A condição considerada foi de carga leve, carga trifásica de $13,8 + j 5,88$ kVA.

O disjuntor foi fechado em 50ms, iniciando o carregamento dos capacitores. O controle dos módulos de tensão foi atrasado para começar apenas em 150ms, até esse momento apenas o controle do V_{CC} está sendo feito, pois no equipamento final, o estado que representa o controle das sequências só é realizado após o processo de carga dos capacitores do elo CC.

A tensão total do barramento CC pode ser vista na Figura 5.4, enquanto a Figura 5.5 mostra a tensão em cada um dos dois capacitores que compõe o elo CC.

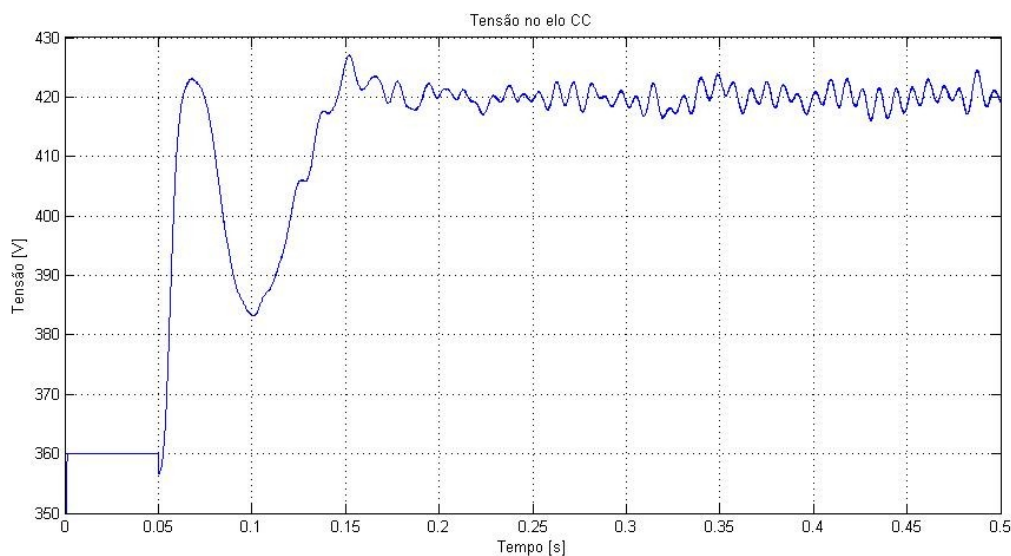


Figura 5.4: Tensão V_{CC} total.



Figura 5.5: Tensão em cada capacitor.

A Figura 5.6 mostra o fluxo de potência ativa para o STATCOM. O valor negativo em $t=50\text{ms}$ indica que a potência está fluindo do sistema para o inversor durante o processo de carga do capacitor. Como o sistema tem características subamortecidas, ocorrem oscilações após V_{CC} alcançar o valor de referência.

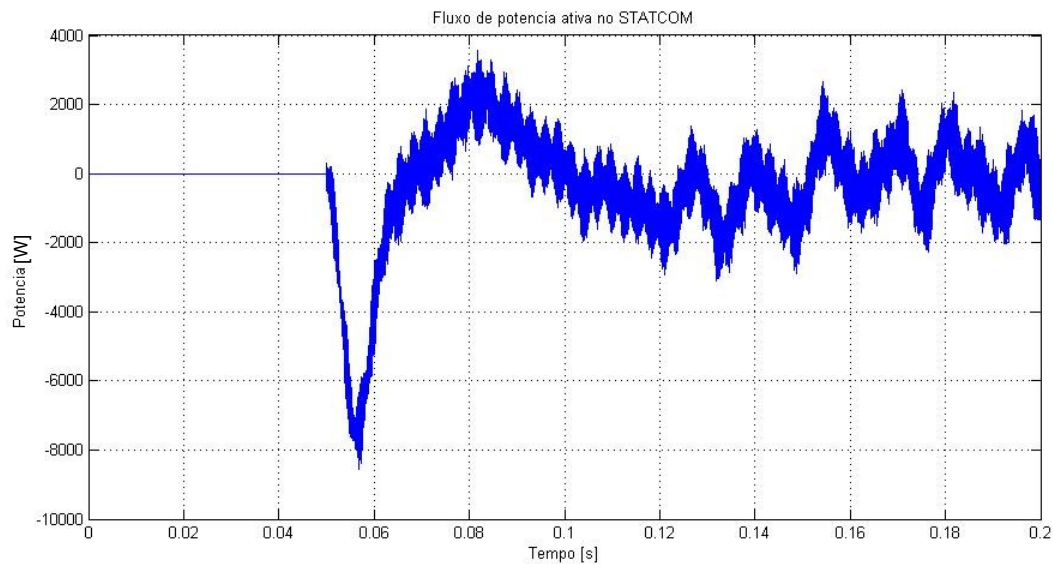


Figura 5.6: Fluxo de potência ativa para o STATCOM.

5.3.2 - Subtensão, carga pesada (RL) com sistema e carga equilibrados.

A primeira simulação que foi efetuada considerou carga trifásica equilibrada com o sistema também equilibrado. A carga considerada foi de 0,9 pu, com $\text{fp}=0,92$ indutivo, ou seja, na tensão nominal tem-se $62 + j 26$ kVA.

A Figura 5.7a mostra as tensões trifásicas de fase no ponto de conexão comum (PCC) durante os primeiros 160ms, e na Figura 5.7b pode-se observar a ampliação em torno do valor de pico. Pode-se observar que a tensão de pico antes da atuação do sistema de correção de tensão está em torno de 164V ($V_{\text{ef}}=115,9\text{V}$), alcançando 172V ($V_{\text{ef}}=121,6\text{V}$) com a atuação do sistema de compensação. Ou seja, a tensão de fornecimento saiu do limiar de aceitação da norma e enquadrou-se em valores perfeitamente aceitáveis.

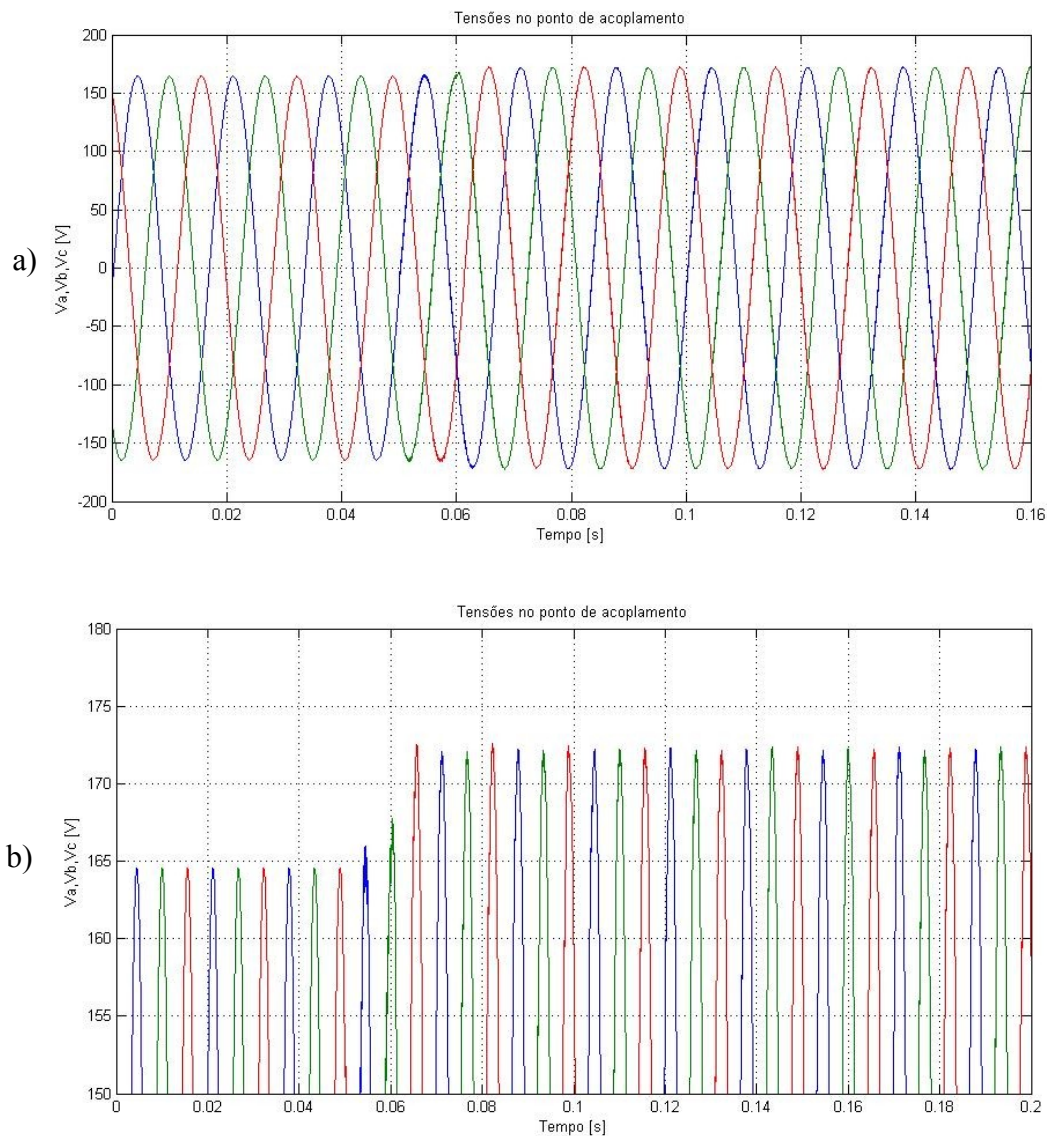


Figura 5.7: Tensões trifásicas de fase no (PCC): a) Durante os primeiros 160ms; (b) Ampliação em torno do valor de pico.

Já a Figura 5.8 mostra uma das tensão de fase (fase A) no PCC juntamente com a respectiva corrente fornecida pelo inversor (STATCOM). Pode-se observar o funcionamento capacitivo do STATCOM, contrabalanceando a carga indutiva. Cabe observar que na figura a corrente está atrasada da tensão pelo fato do STATCOM operar como fonte para o sistema.

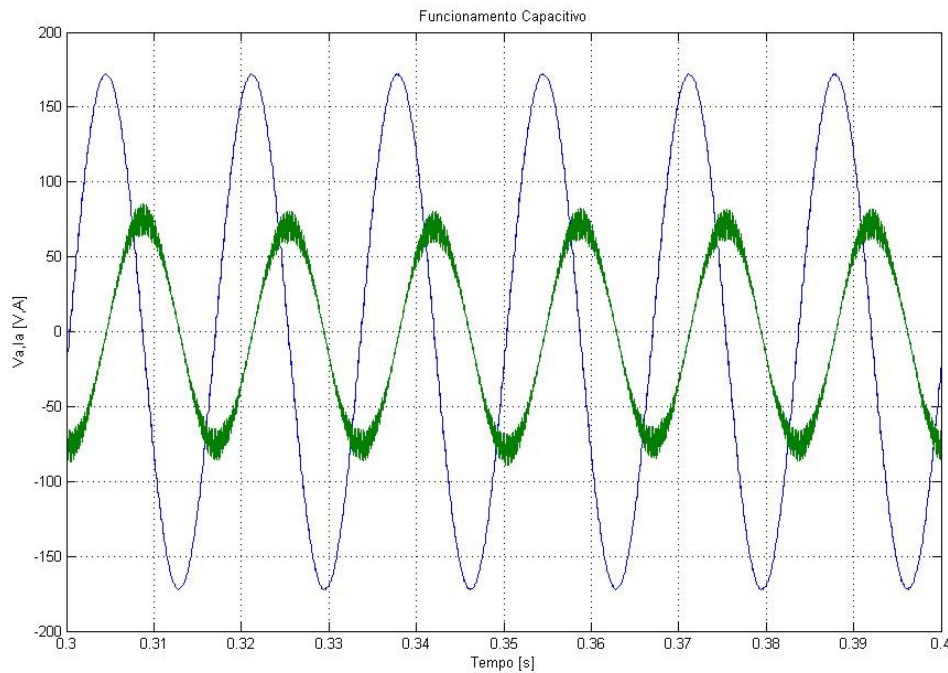


Figura 5.8: Funcionamento capacitivo do STATCOM. Tensão em [V] e Corrente em [A].

5.3.3 - Sobretensão com carga leve, sistema e carga equilibrados

Para o caso de carga leve foi considerada uma carga trifásica equilibrada de 0,2 pu, $\text{fp}=0,92$ indutivo, ou seja, $13,8 + j 5,88$ kVA. Além disso, a tensão na fonte foi considerada 1,1 pu, o que é representativo de uma operação durante a madrugada.

Na Figura 5.9 pode ser observado que antes da atuação do STATCOM as tensões trifásicas de fase no PCC estavam acima do limite aceitável ($V_{ef}=133\text{V}$), dando aproximadamente 195 V de pico ($V_{ef}=137,8\text{V}$).

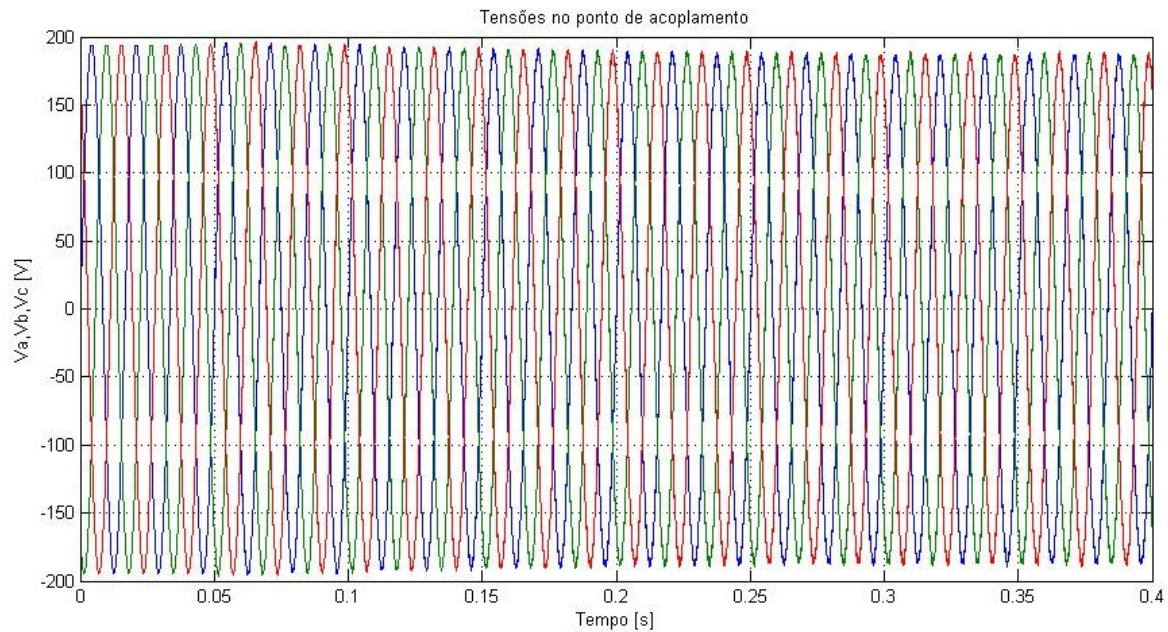


Figura 5.9: Tensões de fase no ponto de acoplamento com carga leve.

O funcionamento indutivo do STATCOM para essa condição é retratado na Figura 5.10, que mostra a tensão e corrente na fase A, estando a corrente adiantada em relação à tensão, compatível com a convenção do STATCOM como fonte.

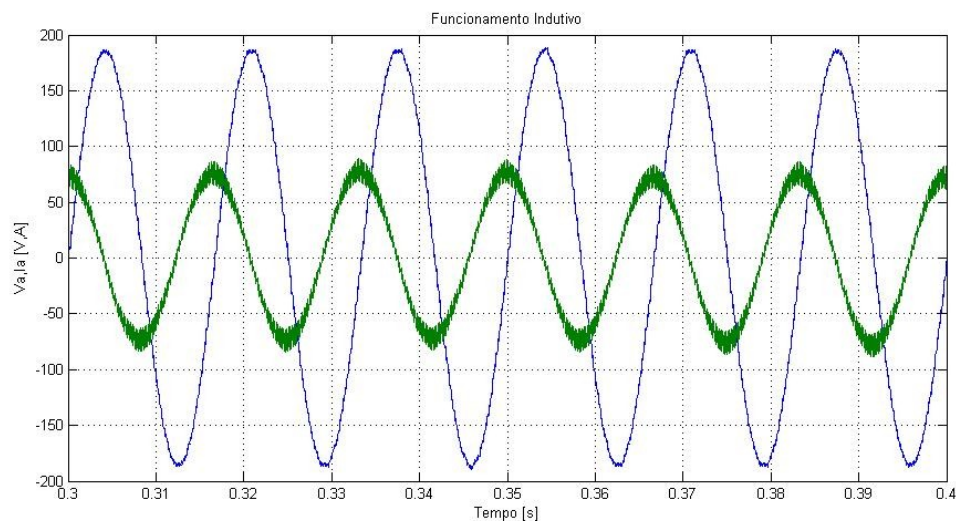


Figura 5.10: Funcionamento indutivo do STATCOM. Tensão em [V] e Corrente em [A].

Para alcançar a redução de tensão, faz-se necessário aumentar a queda de tensão ao longo do sistema de alimentação, o que é obtido aumentando a corrente circulante como pode ser observado na Figura 5.11.

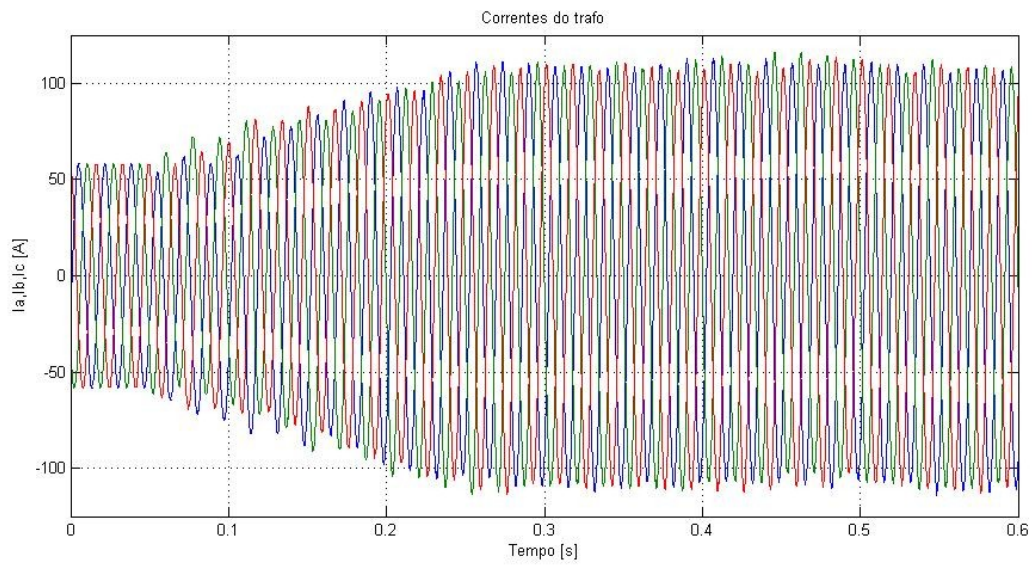


Figura 5.11: Corrente entregue pelo sistema ao PCC.

A Figura 5.12 mostra, para uns poucos ciclos da rede, a corrente no sistema para o caso sem compensação e a Figura 5.13, com compensação pelo STATCOM.

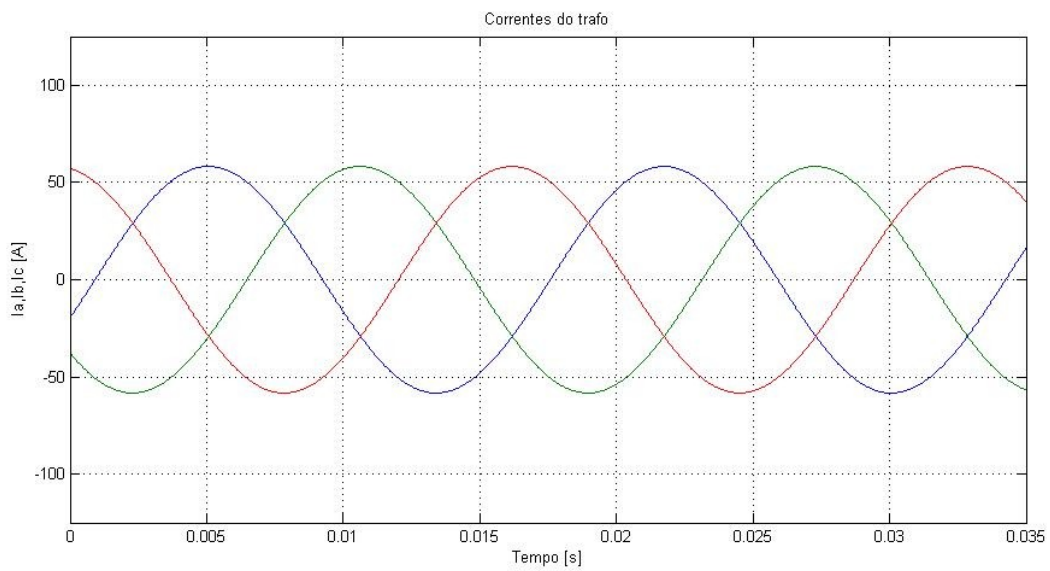


Figura 5.12: Corrente do sistema sem compensação.

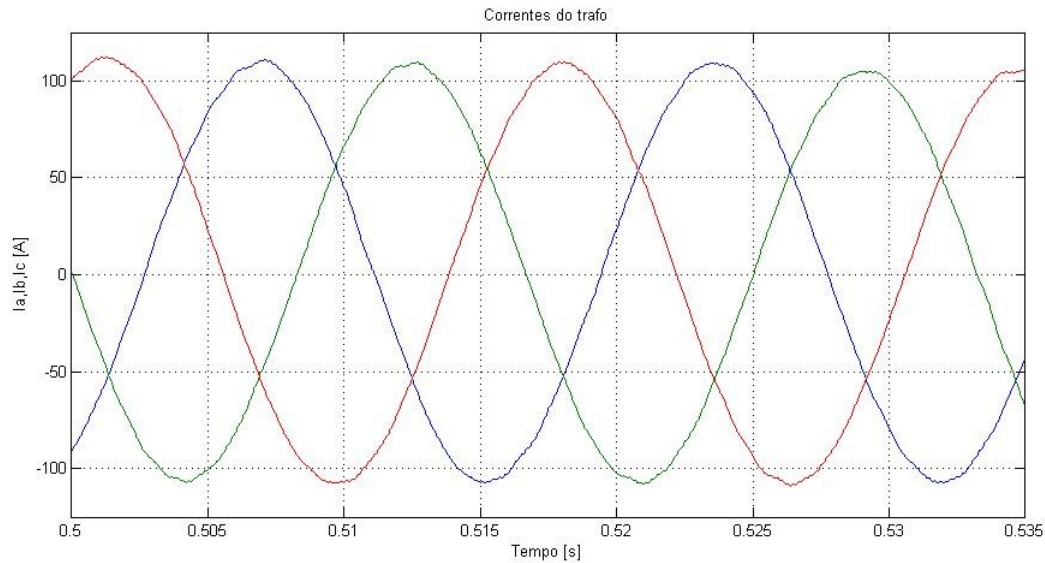
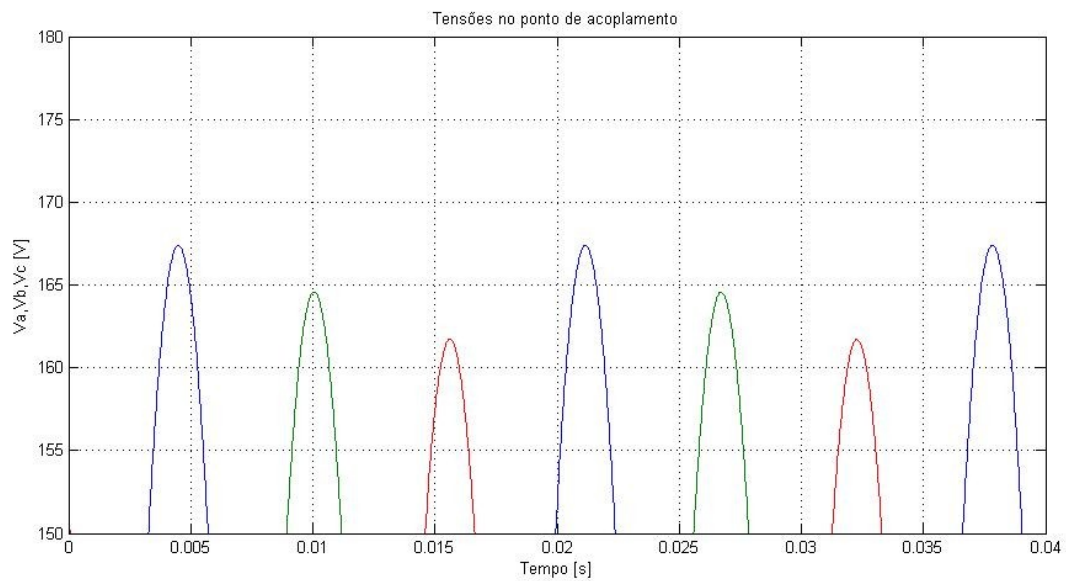


Figura 5.13: Corrente do sistema com compensação.

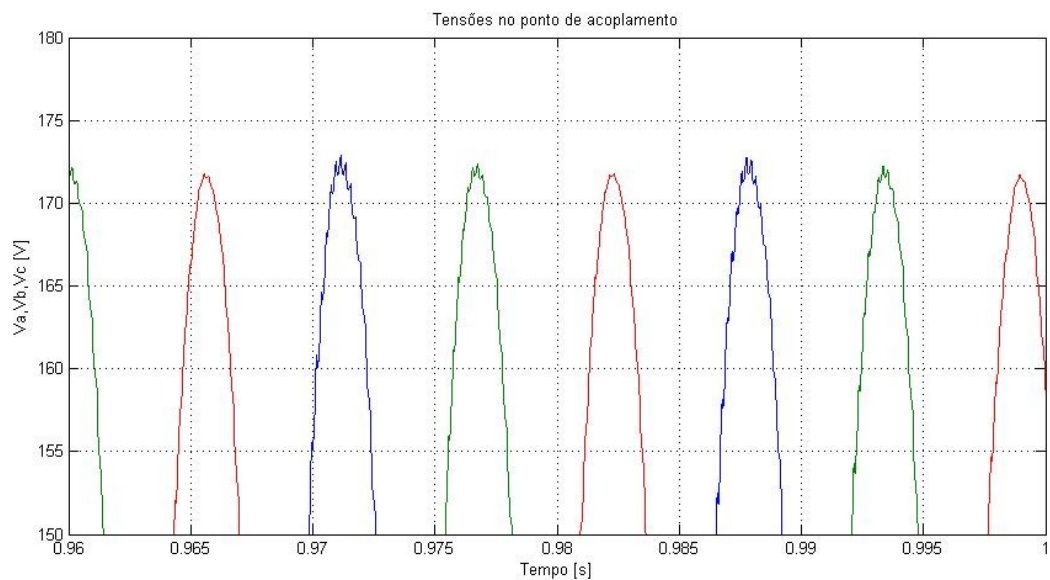
5.3.4 - Subtensão de tensão, carga pesada equilibrada, sistema desequilibrado.

Para essa situação, foi considerada uma carga equilibrada de $62 + j26\text{kVA}$, equivalente a 0,9 pu com $\text{fp}=0,92$ ind. O desequilíbrio foi considerado na alimentação, utilizando-se uma fonte programável com 1,0 pu de sequência positiva, 0,01 pu de sequência negativa e 0,01 pu de sequência zero.

A figura 4.7a mostra em detalhe os valores de pico das tensões de fase no PCC, onde pode ser observado o desequilíbrio entre as fases; duas das fases estando abaixo do limite aceitável de $V_{\text{ef}} = 116\text{ V}$ (164 V de pico). A figura 4.7b mostra a melhora significativa nas tensões no PCC após a atuação do STATCOM, aumentando o nível de tensão nas fases e diminuindo o desequilíbrio entre as mesmas.



(a)



(b)

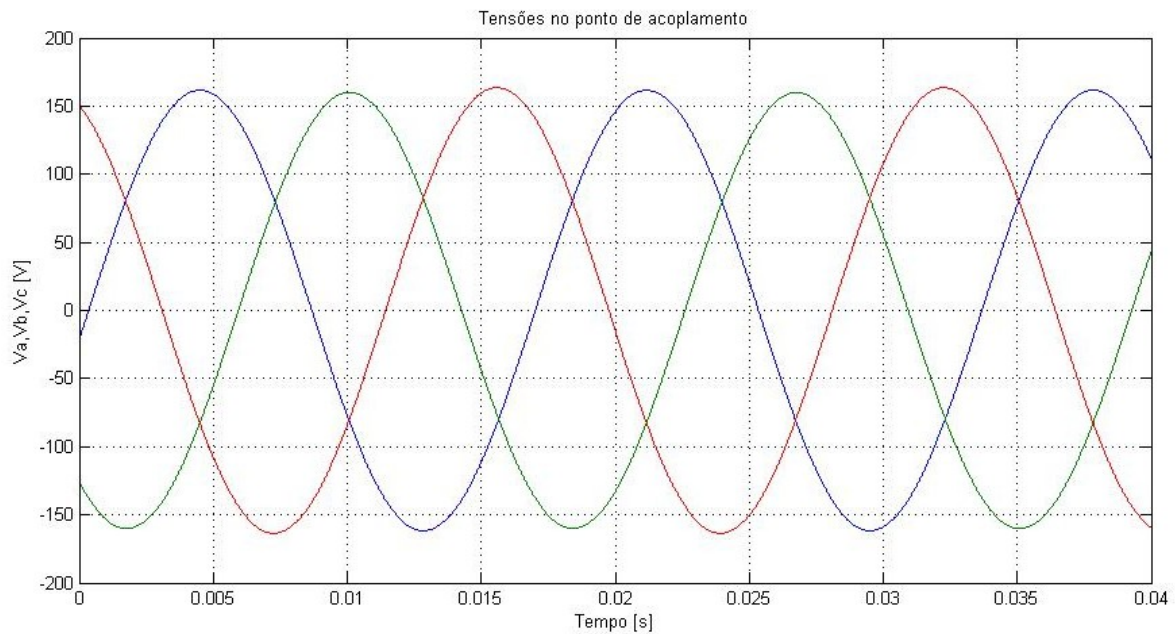
Figura 5.14: Tensões de fase no ponto de acoplamento com sistema desequilibrado: (a) antes da atuação do STATCOM; (b) após a atuação do STATCOM.

5.3.5 - Subtensão com sistema equilibrado e carga pesada desequilibrada

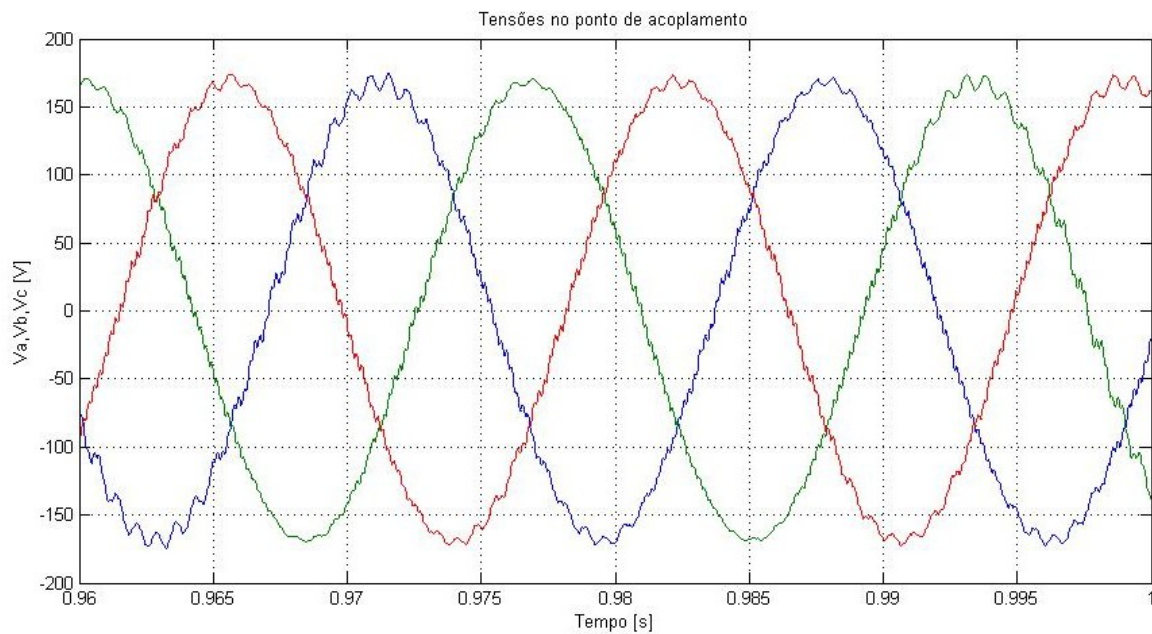
Para a condição de carga desequilibrada, inicialmente simulou-se uma situação com carga pesada, utilizando-se os seguintes valores de carga para as fases:

- Fase a: $22,50 + j 11$ kVA (1.0 pu; $\text{fp}=0,9$);
- Fase b: $24,75 + j 12$ kVA (1.1 pu; $\text{fp}=0,9$);
- Fase c: $20,25 + j 9,8$ kVA (0.9 pu; $\text{fp}=0,9$).

A Figura 5.15a mostra a tensão no PCC antes da habilitação do STATCOM, enquanto a Figura 5.15b a tensão após a atuação do STATCOM.



(a)



(b)

Figura 5.15: Tensões no PCC: a) antes e b) depois da atuação do STATCOM.

Observa-se que houve uma melhora no valor da tensão, uma vez que o valor eficaz aumentou. Entretanto, percebe-se o efeito da interação do inversor PWM, filtro utilizado e sistema, mostrando que se faz necessário um trabalho maior na seleção da filtragem PWM. Entretanto, a amplitude da distorção harmônica total é de 1,6%, um valor pequeno e bem abaixo do recomendado pelo PRODIST 8.

Pode-se observar, ainda, o efeito do equilíbrio nas correntes que o sistema entrega ao PCC, conforme a Figura 5.16.

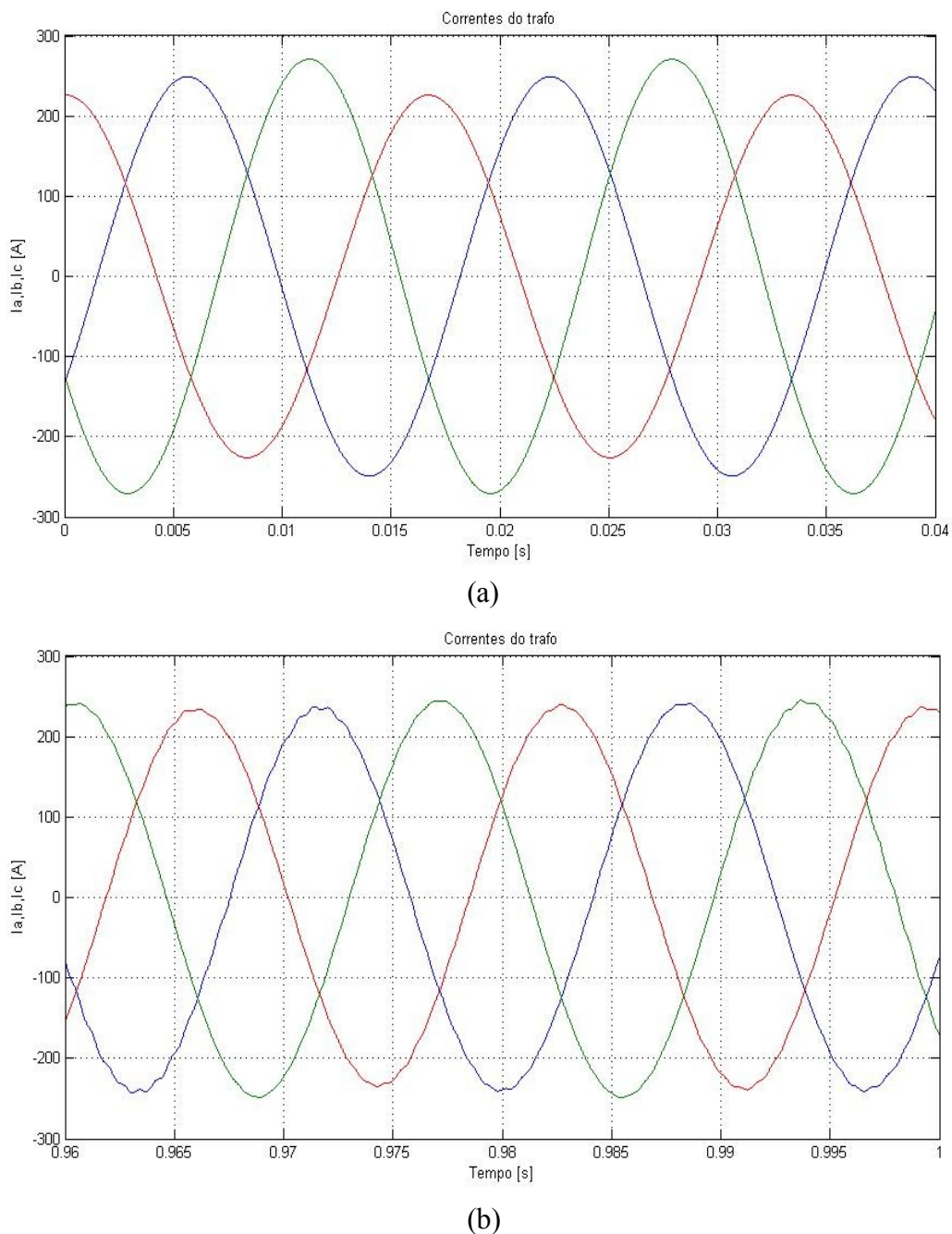


Figura 5.16: Correntes entregues pelo sistema ao PCC: a) antes; e b) depois da atuação do STATCOM.

Por fim, pode-se ver a corrente do STATCOM na Figura 5.17.

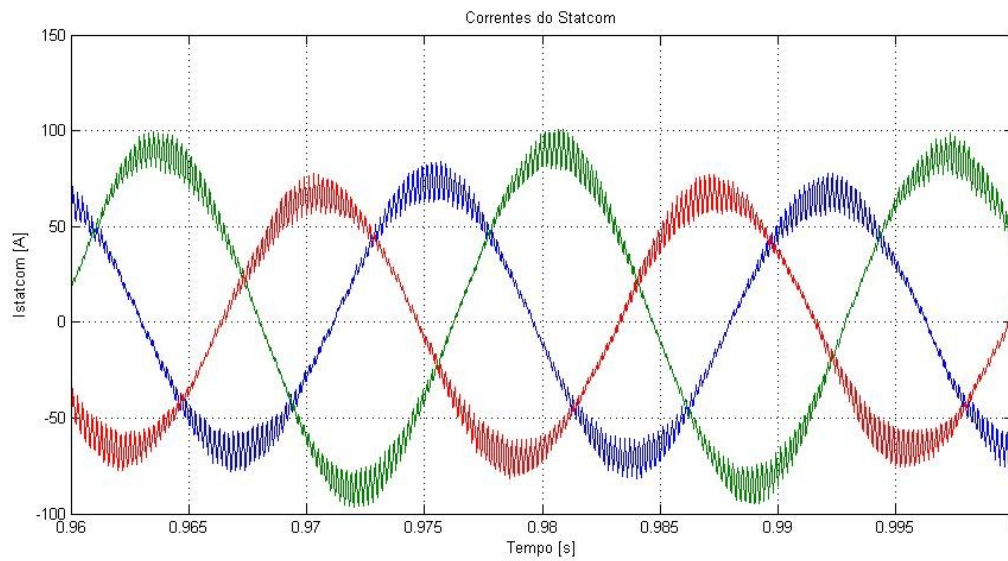


Figura 5.17: Corrente do STATCOM.

Como há corrente de sequência zero, ela circula entre o ponto médio capacitivo do inversor e o neutro do sistema, como é mostrado na Figura 5.18.

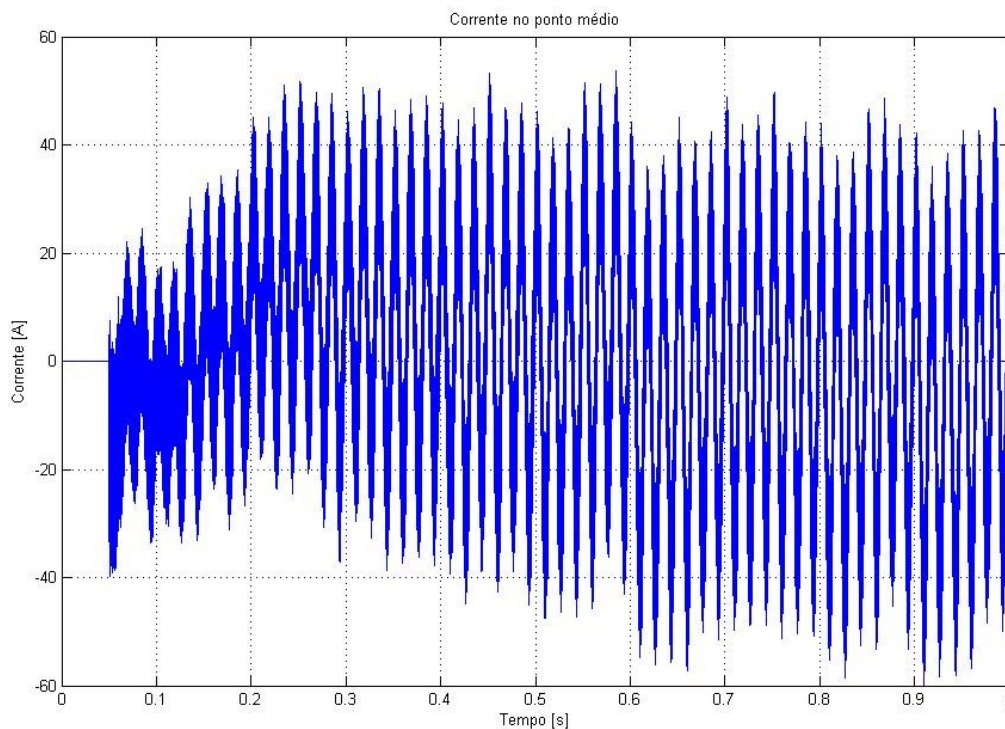


Figura 5.18: Corrente entre o ponto médio do inversor e o neutro.

Vale a pena lembrar que a sequência zero não é refletida ao primário do transformador uma vez que o mesmo está conectado em delta.

5.3.6 - Subtensão com sistema equilibrado e carga leve desequilibrada

O segundo caso de carga desequilibrada contemplou uma situação de carga leve, correspondendo a um terço da carga considerada anteriormente, sendo em cada fase:

- Fase a: $7,5 + j 3,6$ kVA;
- Fase b: $8,25 + j 4$ kVA;
- Fase c: $6,75 + j 3,3$ kVA.

A Figura 5.19 mostra a tensão no PCC antes e depois da habilitação do STATCOM, onde se pode observar o aumento do nível de tensão. A Figura 5.20 mostra a componente de sequência positiva detectada pelo sistema de extração de componentes, evidenciando o aumento no valor da tensão.

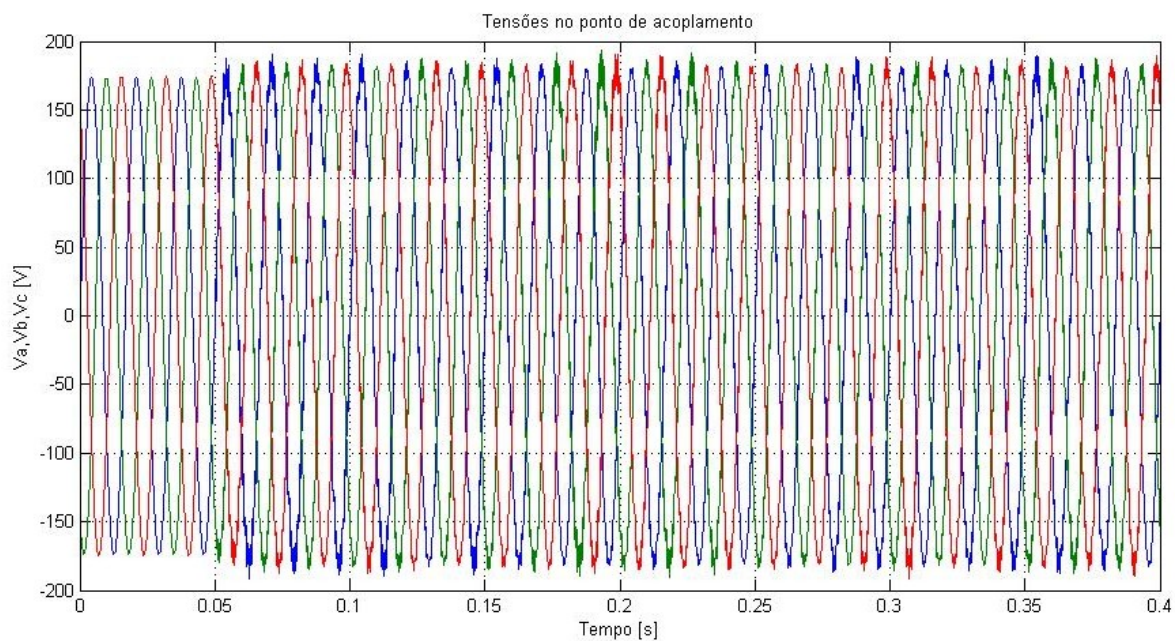


Figura 5.19: Tensões de fase no PCC.

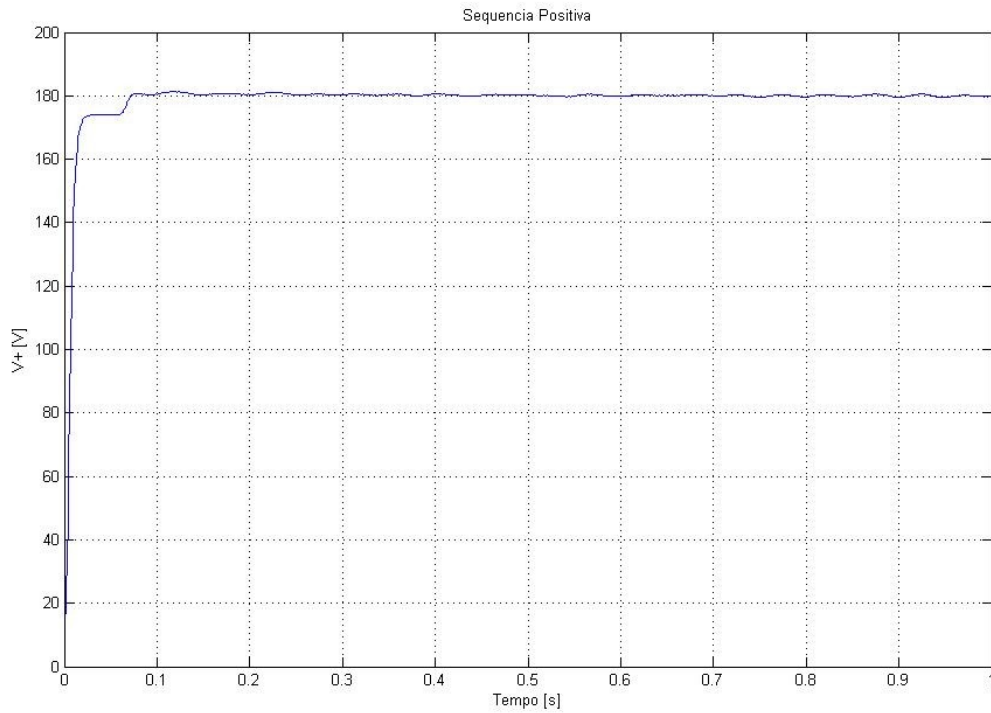


Figura 5.20: Tensão de sequência positiva no PCC.

As correntes entregues pelo sistema ao PCC podem ser observadas nas Figuras 5.21 e 5.22.

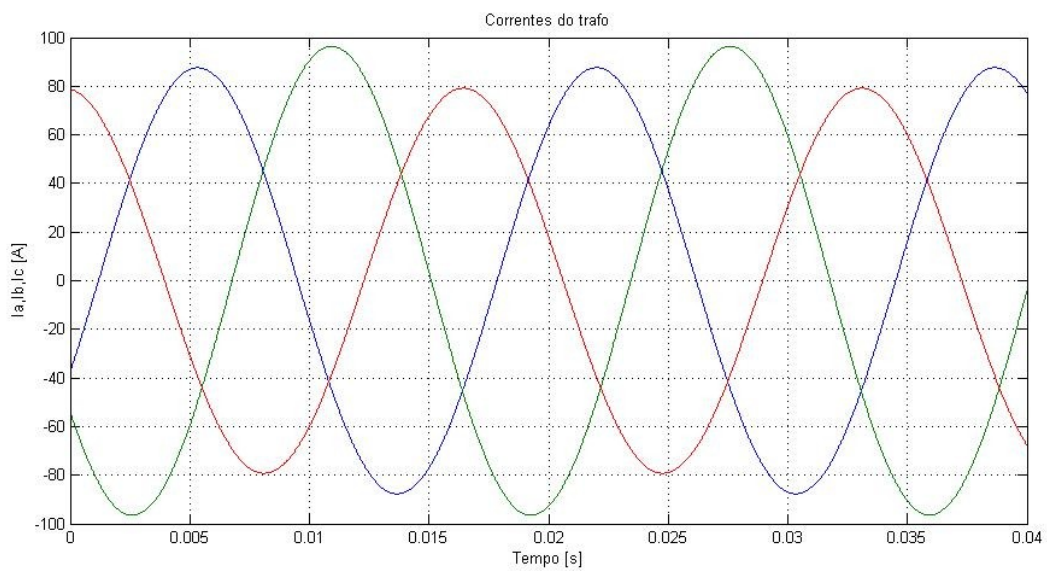


Figura 5.21: Correntes entregues pelo sistema ao PCC antes da atuação do STATCOM.

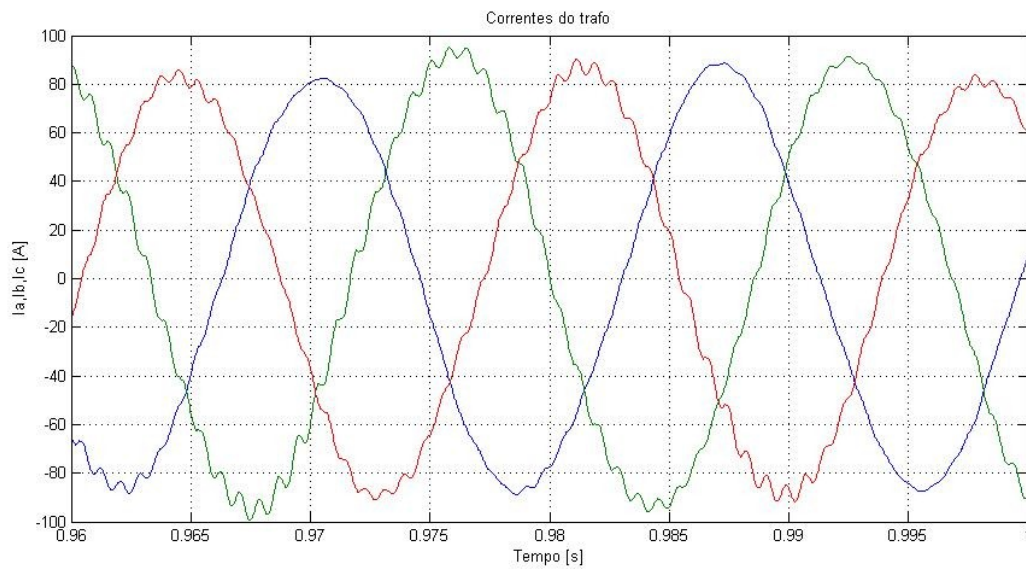


Figura 5.22: Correntes entregues pelo sistema ao PCC depois da atuação do STATCOM.

As correntes entregue pelo STATCOM ao PCC pode ser vista na Figura 5.23 abaixo.

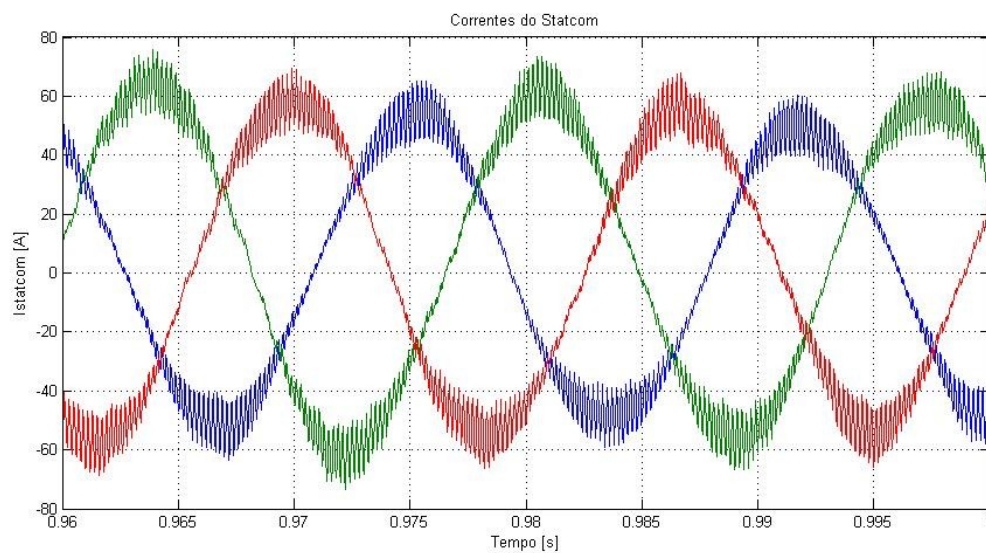


Figura 5.23: Corrente entregue pelo STATCOM ao PCC.

6 - O COMPENSADOR DE 20 kVA

Ao longo deste capítulo serão apresentados os diversos diagramas em blocos constituintes do STATCOM de 20 kVA, uma breve descrição do microcontrolador utilizado para o controle em tempo real, e os fluxogramas das principais rotinas de controle utilizados no compensador.

O projeto e montagem do STATCOM foram realizados nas dependências do LEPAC (Laboratório de Eletrônica de Potência e Acionamentos Elétricos) no Centro Tecnológico da Universidade Federal do Espírito Santo.

6.1 - Elementos Constituintes

O diagrama em blocos, em representação unifilar, do STATCOM implementado para correção de tensão na distribuição secundária é mostrado na Figura 6.1, considerando o sistema de distribuição. A função de cada bloco está descrita na sequência.

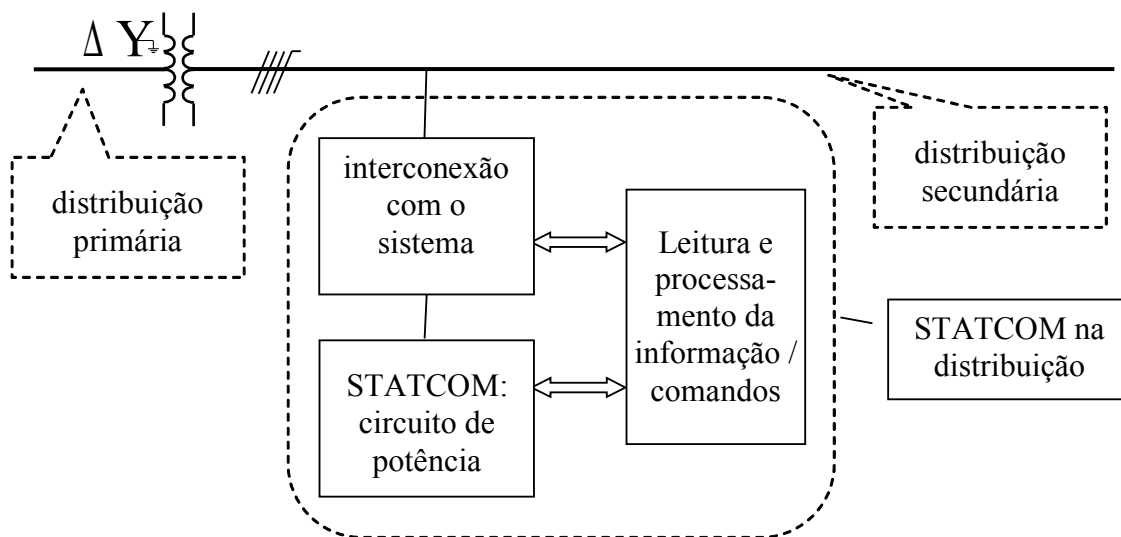


Figura 6.1: Diagrama em blocos da implementação.

6.1.1 - Interconexão com o Sistema

Neste bloco encontra-se a proteção do STATCOM, bem como o sistema mecânico de conexão do equipamento ao sistema de distribuição em baixa tensão (contator). Também nele encontram-se instalados os sensores de tensão e corrente utilizados pelo STATCOM para acompanhamento das condições da rede. Trata-se do estágio de ligação entre a rede e o STATCOM propriamente dito.

O diagrama em blocos pode ser visto na Figura 6.2.

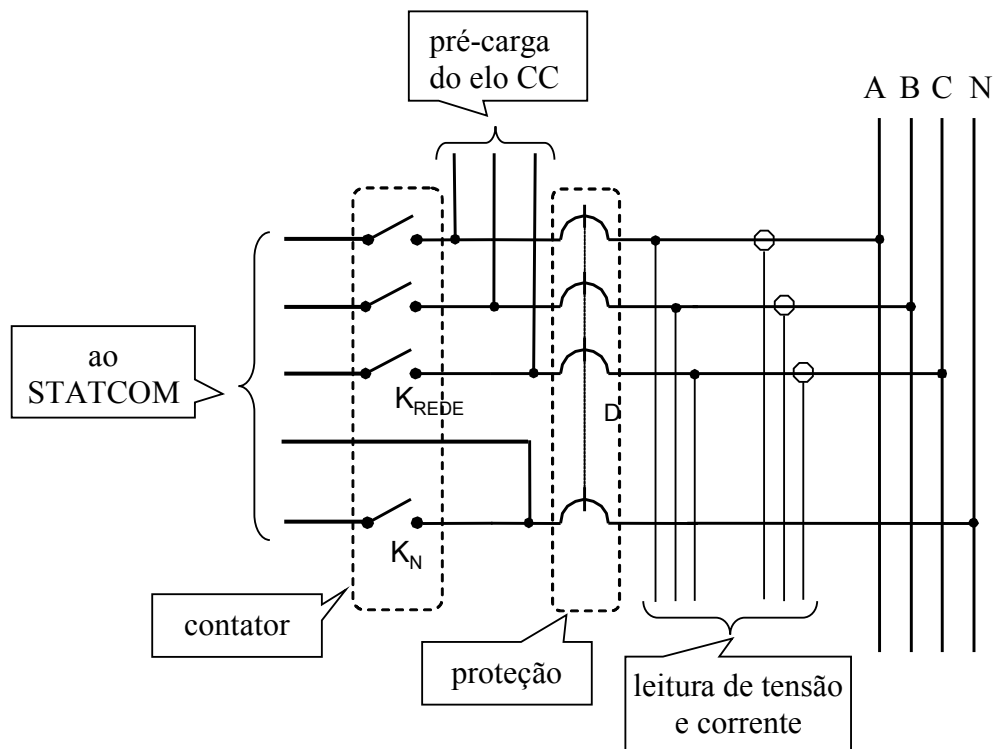


Figura 6.2: Diagrama em blocos da Interconexão com o Sistema.

6.1.2 - Leitura e Processamento da Informação e Comandos

Nesta parte do sistema são realizadas diversas tarefas, destacando-se:

- Acondicionamento dos sinais de entrada (tensão/corrente) à faixa de valores de entrada dos conversores A/D do circuito de processamento.
- Processamento da informação recebida, verificando a necessidade de inserção do STATCOM, cálculos das compensações e verificação de proteções em *hardware* (sobretensão do elo CC e sobrecorrente nas fases) e *software* (subtensão, sobrecorrente, falta de fase e aquecimento excessivo).
- Sinais de comando para o inversor de tensão.

6.1.3 - Circuito de Potência do STATCOM

O circuito de potência é baseado em um inversor trifásico com três braços e elo CC com conexão ao ponto médio, conforme é visto na Figura 6.3. O inversor é composto por seis semicondutores de potência do tipo IGBT com diodos anti-paralelo. Os IGBTs são acionados através de *gate-drivers*, que incorporam funções de *buffer* do sinal de comando, atrasos entre os comandos dos interruptores de cada braço, além de proteção contra curto-circuito.

Também faz parte do circuito uma ponte retificadora a diodos com resistores de limitação de corrente de inrush, que opera apenas no primeiro momento de conexão à rede. É empregado um filtro LC sintonizado em uma frequência intermediária entre a de chaveamento e a da rede, filtrando a frequência de chaveamento do inversor na rede.

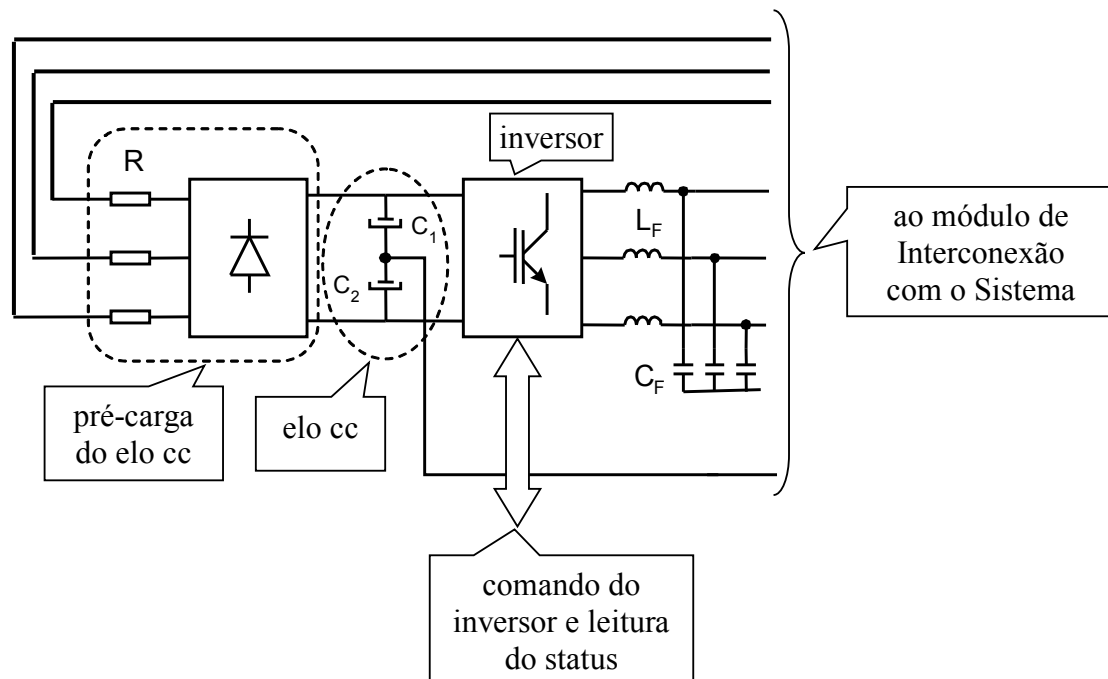


Figura 6.3: Diagrama em blocos do circuito de potência do STATCOM.

Os sinais para comando dos interruptores de potência são disponibilizados pelo módulo de Leitura e Processamento da Informação e Comandos citado anteriormente.

6.2 - Descrição do *Hardware*

6.2.1 - Condicionamento de sinais analógicos

Todos os sinais analógicos precisam ser condicionados antes de serem amostrados pelo DSP. O sinal de saída do sensor da tensão de fase, por exemplo, é uma tensão que pode variar de -6 a $+6$ V, enquanto o conversor analógico/digital do DSP trabalha com níveis entre 0 e 3,3V. Para isso, foi projetada uma placa capaz de adequar 9 sinais analógicos aos requisitos do DSP: as tensões e correntes das três fases, as tensões dos dois capacitores do barramento CC, e um canal extra que pode ser utilizado para medir temperatura ou outra variável de interesse. A Figura 6.4 mostra o diagrama em blocos dos vários canais citados.

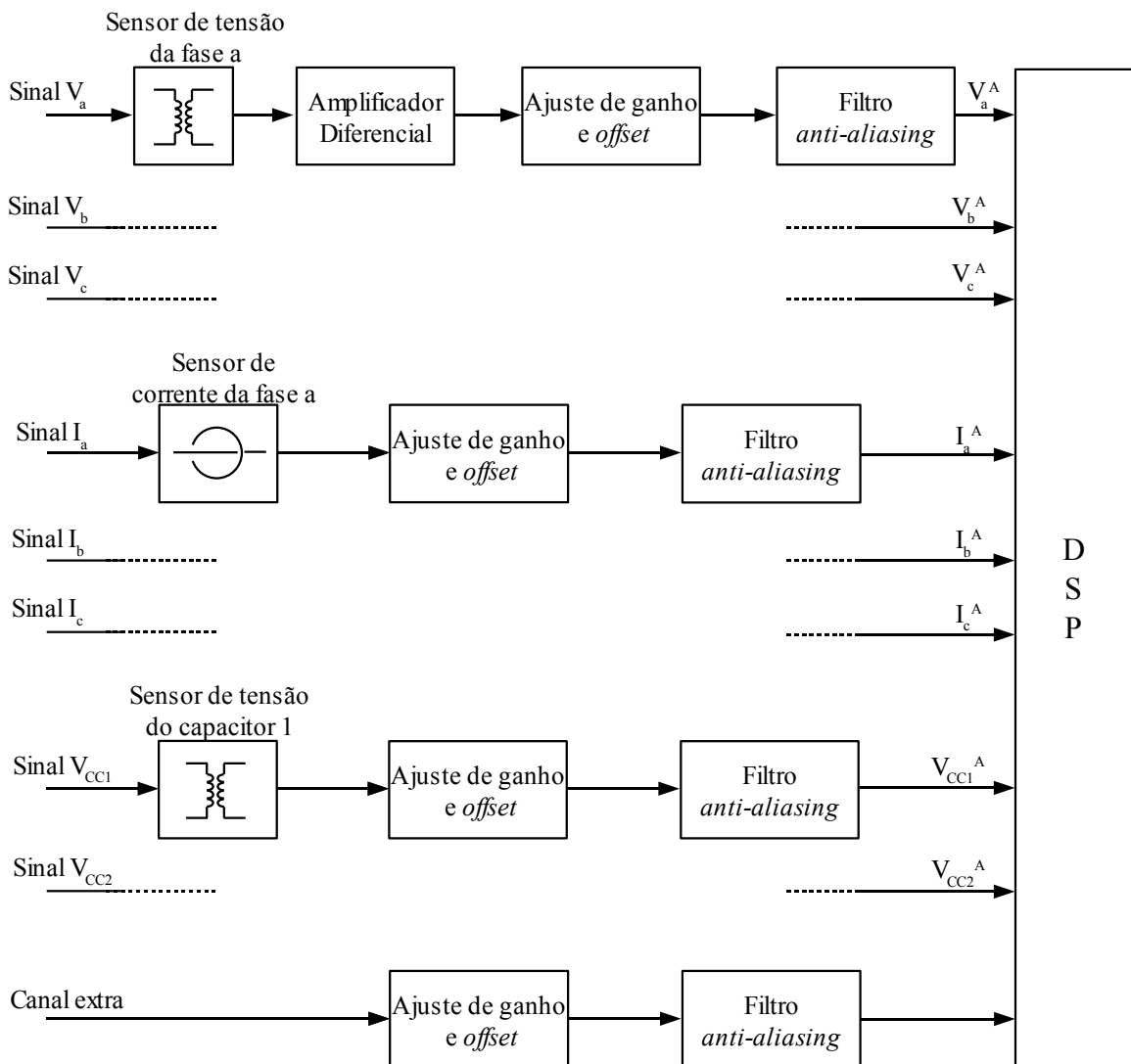


Figura 6.4: Diagrama em blocos dos canais da placa de condicionamento dos sinais analógicos.

No bloco de ajuste e ganho de *offset*, é feito o ajuste de ganho dos sinais lidos pelos sensores e introduz um *offset* para que o sinal fique dentro da faixa desejada: 0 a 3,3 V, centrada em 1,65V. A regulagem é feita através dos potenciômetros de ganho e *offset*.

Após o bloco de ajuste de ganho e *offset*, tem-se um filtro anti-aliasing, que é um filtro ativo *Butterworth* de segunda ordem. Na saída dos filtros foram inseridos circuitos grampeadores, cuja finalidade é limitar a tensão na saída dentro de limite seguros para o microcontrolador.

Para o acondicionamento das tensões das fases, uma etapa foi adicionada antes do circuito de ajuste de ganho e *offset*, conforme mostrado na Figura 6.4. Trata-se de um amplificador diferencial, e sua utilização foi motivada pelo fato da saída do sensor da tensão de fase ser em tensão, e não em corrente como dos outros sensores. A saída em tensão é mais susceptível a interferências em modo comum, que são atenuadas pelo uso do estágio diferencial.

6.2.2 - Proteção e circuitos lógicos

Os sinais de corrente e tensão (I_a^A , I_b^A , I_c^A , V_a^A , V_b^A e V_c^A) são recebidos da placa de condicionamento de sinais (Figura 6.4). As correntes I_a^A , I_b^A e I_c^A são comparadas com valores máximos pré-estabelecidos de acordo com a capacidade de corrente do STATCOM. Caso o sinal de corrente seja maior que o valor de comparação, é gerado um sinal lógico indicando sobre-corrente. De forma similar, as tensões V_{cc1}^A e V_{cc2}^A são somadas e comparadas ao valor máximo permitido no elo CC. Estes sinais lógicos de sobrecorrente e sobretensão no elo CC, são utilizados para desabilitar os *gate-drives* do inversor via *hardware*.

Caso aconteça alguma das duas situações descritas, um sinal de *trip* é enviado ao DSP, que desabilita o inversor, suspendendo a operação. Além disso, um LED acenderá no painel sinalizando qual situação ocorreu: sobre-corrente ou sobretensão.

A Figura 6.5 mostra o diagrama em blocos deste circuito.

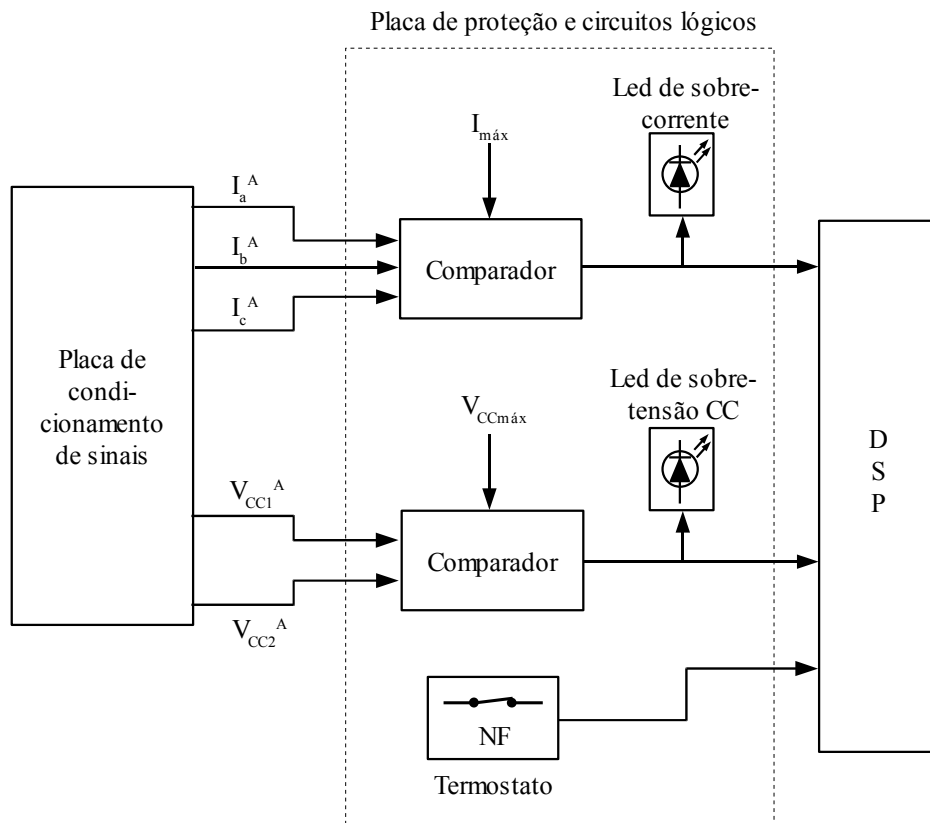


Figura 6.5: Diagrama em blocos do circuito de proteção.

Nesta placa ainda existem mais três funções:

- Um circuito que adequa a tensão de saída dos canais utilizados do DSP para gerar os sinais PWM para comando do inversor, pois o nível de tensão de saída do DSP é de 3,3 V, enquanto o acionamento dos *gate-drives* do inversor requer 15 V;
- Possibilitar a comunicação do DSP com a IHM (Interface Homem-máquina, descrita mais adiante) e a um computador através da porta serial, para se fazer a captura de sinais de corrente, tensão e variáveis de programa utilizadas no controle;
- Acionar os contadores, K_{Rede} e K_N , através de um sinal de comando vindo do DSP, que fazem a interconexão do STATCOM com o sistema elétrico.

6.2.3 - Placa de Controle

Para a realização das tarefas de controle do STATCOM foi selecionado um DSP (processador digital de sinais), que tem sido utilizado amplamente em aplicações industriais, especialmente em controle de motores e em sistemas de energia, merecendo destaque a sua aplicação no controle de filtros ativos. Para a implementação do protótipo foi escolhida uma placa

de desenvolvimento EzDspLF2407 que contém o DSP TMS320LF2407A da Texas Instruments.

Esta placa possui as seguintes características:

- DSP TMS320LF2407A
- 40M instruções por segundo
- 64K *words* de memória RAM *onboard* (32K para programa e 32K para dados)
- 32K *words* de memória flash *on-chip*
- 2,5K *words* de memória RAM *on-chip*
- Circuito gerador de clock de 10-MHz
- 3 Conectores (analógico, I/O, expansão)
- Emulador *Onboard*

A placa de desenvolvimento é mostrada na Figura 6.6.

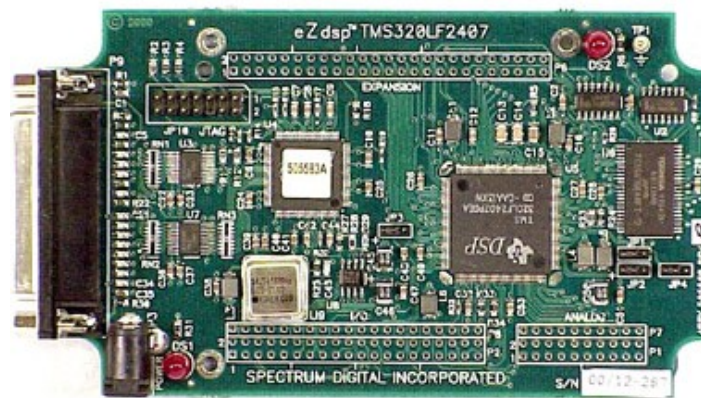


Figura 6.6: Placa de desenvolvimento EzDspLF2407 da TI.

Através de um emulador *Onboard* a placa se comunica com o computador via porta paralela. O *software* de desenvolvimento *Code Composer Studio* permite a implementação, compilação, carregamento e a depuração do programa.

A placa de controle possui uma interface com a placa de condicionamento de sinais, com a placa de circuitos lógicos e com o acionamento dos *gates* dos IGBTs do inversor.

Após a fase de testes e calibrações, o programa foi gravado de forma definitiva na memória *flash* do DSP, com isso ele passou a trabalhar de forma autônoma, não dependendo mais do carregamento do programa via computador sempre que o mesmo fosse energizado.

6.2.4 - O inversor

O diagrama em blocos do circuito de potência do inversor é mostrado na Figura 6.7.

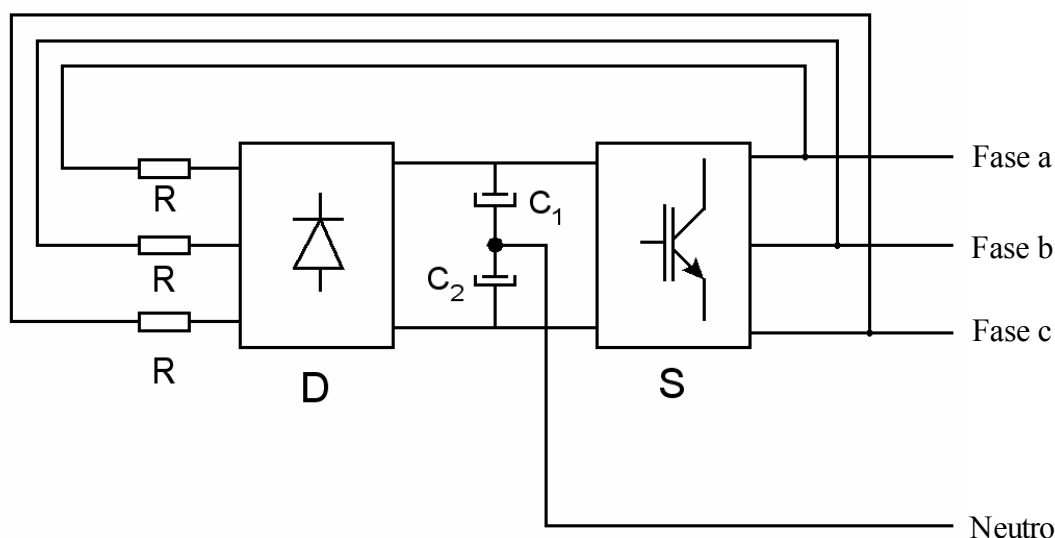


Figura 6.7: Diagrama em blocos do circuito de potência.

O módulo inversor utilizado foi o SKS 59F B6U+E1CIF+B6CI 35 V12 da Semikron com potência de 20 kVA. Este inversor já possui internamente os circuitos de *gate-drives*, o que dispensa a utilização de *gate-drives* externos. Também possui um termostato disponível para desabilitar o inversor, através de um controle externo, sempre que a temperatura exceder os 71°C (dados do fabricante). Além disso, proteção contra curto-circuito no braço do inversor.

Para se conectar o inversor ao sistema elétrico foram utilizados indutores de ferrite, com 2 núcleos tipo *E* mostrados na Figura 6.8.

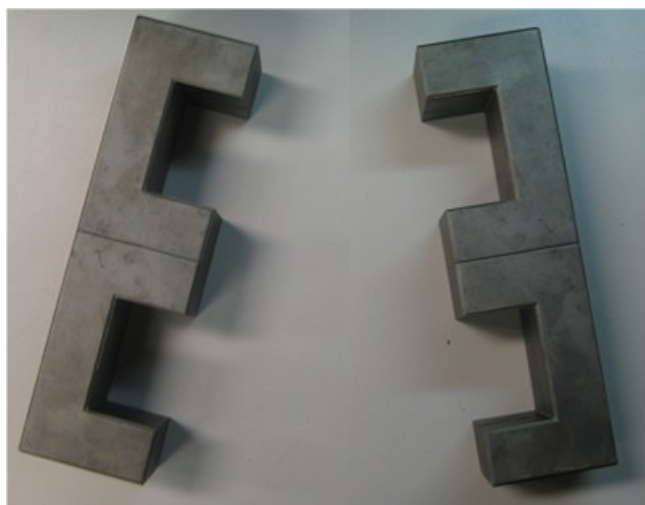


Figura 6.8: Núcleos tipo *E* utilizados no indutor de acoplamento

A utilização de indutores com núcleo de ferrite justifica-se pelo fato de se construir indutores mais compactos e leves comparados aos indutores com núcleo de ar. Desta forma, eliminamos algumas conexões elétricas durante a instalação do STATCOM à rede elétrica, pois os indutores com núcleos de ferrite foram inseridos dentro do próprio gabinete de montagem do STATCOM, o que seria inviável se utilizados indutores com núcleos de ar.

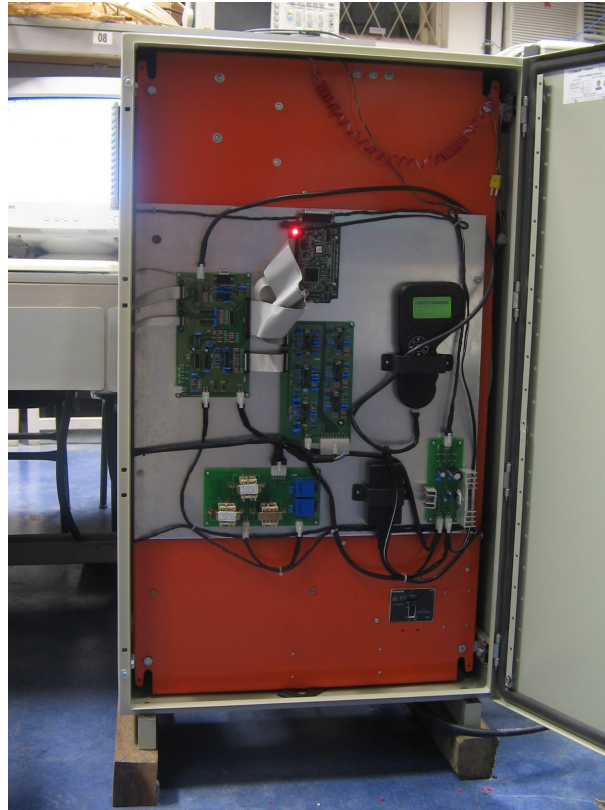
Para se construir as bobinas, foram enrolados dois pacotes de bobinas por indutor, com 33 espiras cada, utilizando-se fio esmaltado de secção transversal retangular com área de 16 mm^2 , envolvido por papel isolante utilizado no enrolamentos de transformadores de sistemas de distribuição secundária. Este papel foi utilizado, para se garantir o isolamento entre as espiras no caso de súbitas variações de correntes nos indutores. A bobina foi separada em dois pacotes, fixados em cada núcleo E, conforme mostrado na Figura 6.9. Esta montagem foi utilizada para se facilitar o ajuste do entreferro de cada indutor, que para a indutância desejada, foi de 2,2 cm.



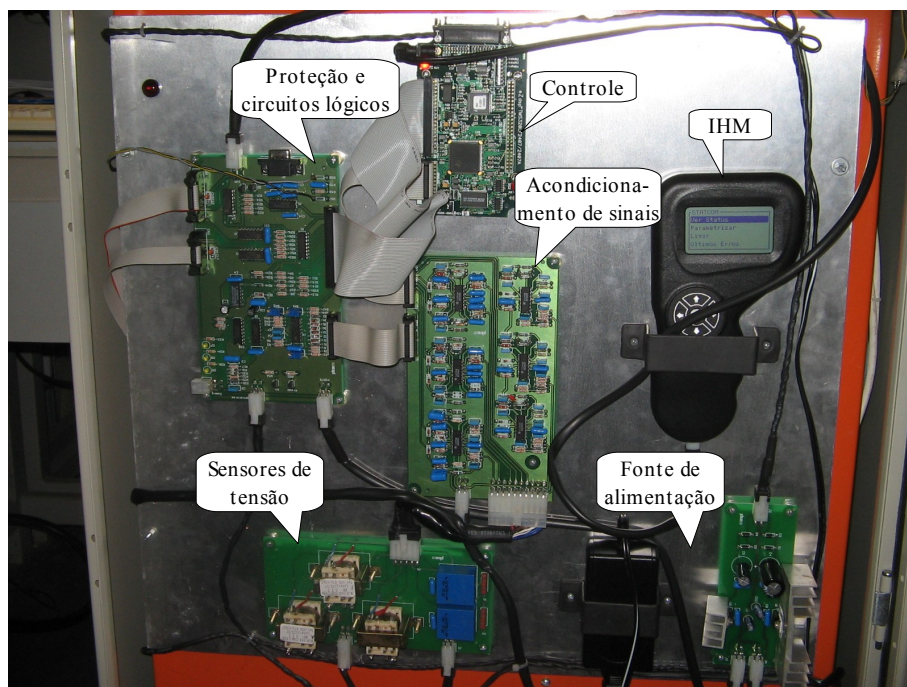
Figura 6.9: Bobinas fixadas em cada núcleo E

Para fixação dos indutores foram confeccionadas abraçadeiras em alumínio em vez do aço por não ser um material magnético, o que poderia alterar o valor das indutâncias de cada indutor de acoplamento. A Figura 6.11 mostra os indutores fixados na placa de montagem do STATCOM.

A Figura 6.10a mostra uma fotografia do gabinete do STATCOM. A Figura 6.10b mostra em detalhe as placas de condicionamento de sinais, proteção e circuitos lógicos, controle, fontes de alimentação, sensores de tensão e a IHM (Interface Homem-Máquina), discutida futuramente.



a)



b)

Figura 6.10: Fotografias da (a) placa de montagem no painel de montagem e (b) detalhamento das placas de circuito impresso.

A Figura 6.11 mostra a fotografia da parte posterior da placa de montagem, onde se localizam o inversor, os indutores de acoplamento e os capacitores que formam o filtro LC, os contadores K_{REDE} e K_N , os sensores de corrente por Efeito Hall e o disjuntor.

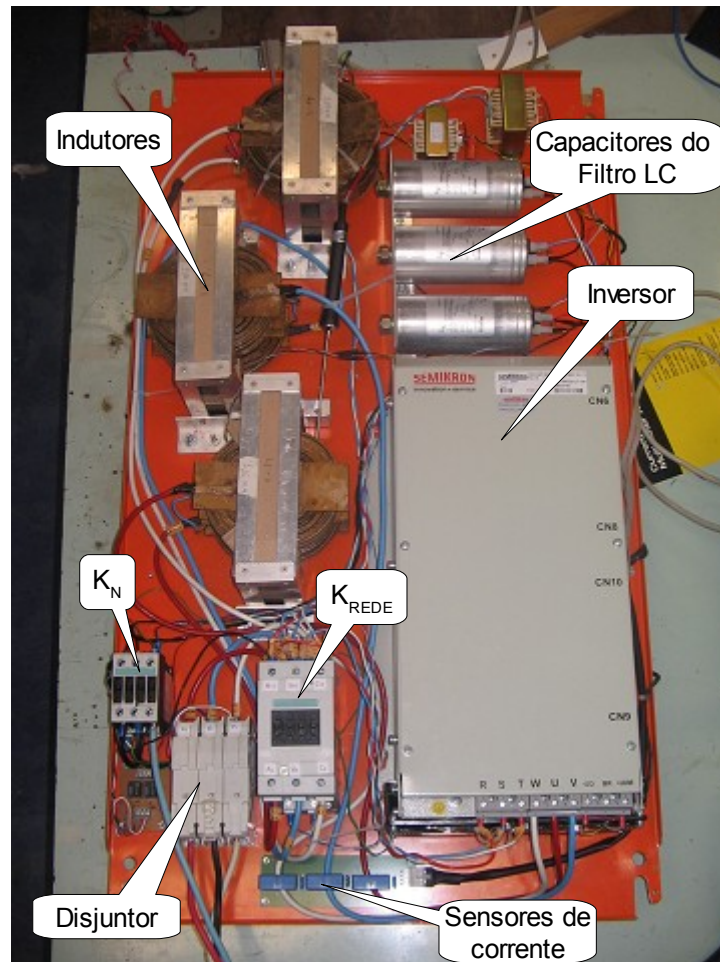


Figura 6.11: Fotografia da parte posterior da placa de montagem

6.3 - Descrição do *software*

O controle do STATCOM é realizado pelo DSP através de um programa dedicado desenvolvido em linguagem *assembly* que constitui o *firmware* do STATCOM. O programa é composto por um *loop* infinito e uma rotina de interrupção que é executada a cada 200µs, o que corresponde a uma frequência de amostragem de 5kHz.

A programa principal, executado por interrupção de *software*, é responsável pelo procedimento de entrada em operação do STATCOM, bem como a definição do modo de controle que o STATCOM deve operar. No programa realizado existem 9 modos de controle de operação que serão detalhados adiante.

Usando um *timer* interno do DSP, configura-se a cada 200µs a geração e tratamento de interrupção. Na rotina de interrupção está presente o programa principal. O fluxograma do *loop* infinito e o da rotina de interrupção são mostrados na Figura 6.12.

A seguir é apresentada a descrição de cada sub-rotina do programa principal:

- **Leitura A/D**

Faz a leitura dos sinais analógicos da tensão da rede, correntes do STATCOM, e tensão do elo CC, obtidos da placa de condicionamentos de sinais. O conversor A/D do DSP é composto por 16 canais com resolução de 10 bits, capaz de realizar cada conversão em cerca de 0,5 µs.

- **Gera V_{dq}^{abc}**

Esta rotina executa o processo *heterodyning* decompondo os sinais V_a , V_b e V_c em componentes ortogonais nos eixos dq: V_{qa} , V_{da} , V_{qb} , V_{db} , V_{qc} e V_{dc} .

- **Filtro *low-pass-notch***

Rotina de um filtro digital aplicado a cada um dos sinais V_{dq}^{abc} . Assim, a componente CA resultante do processo *heterodyning* é eliminada, resultando somente os sinais CC que representam as componentes dq de V_a , V_b e V_c no referencial síncrono.

- **Gera sequências**

Aplica a decomposição em componentes simétricas, obtendo os sinais dq para cada uma das componentes de sequência positiva, negativa e zero.

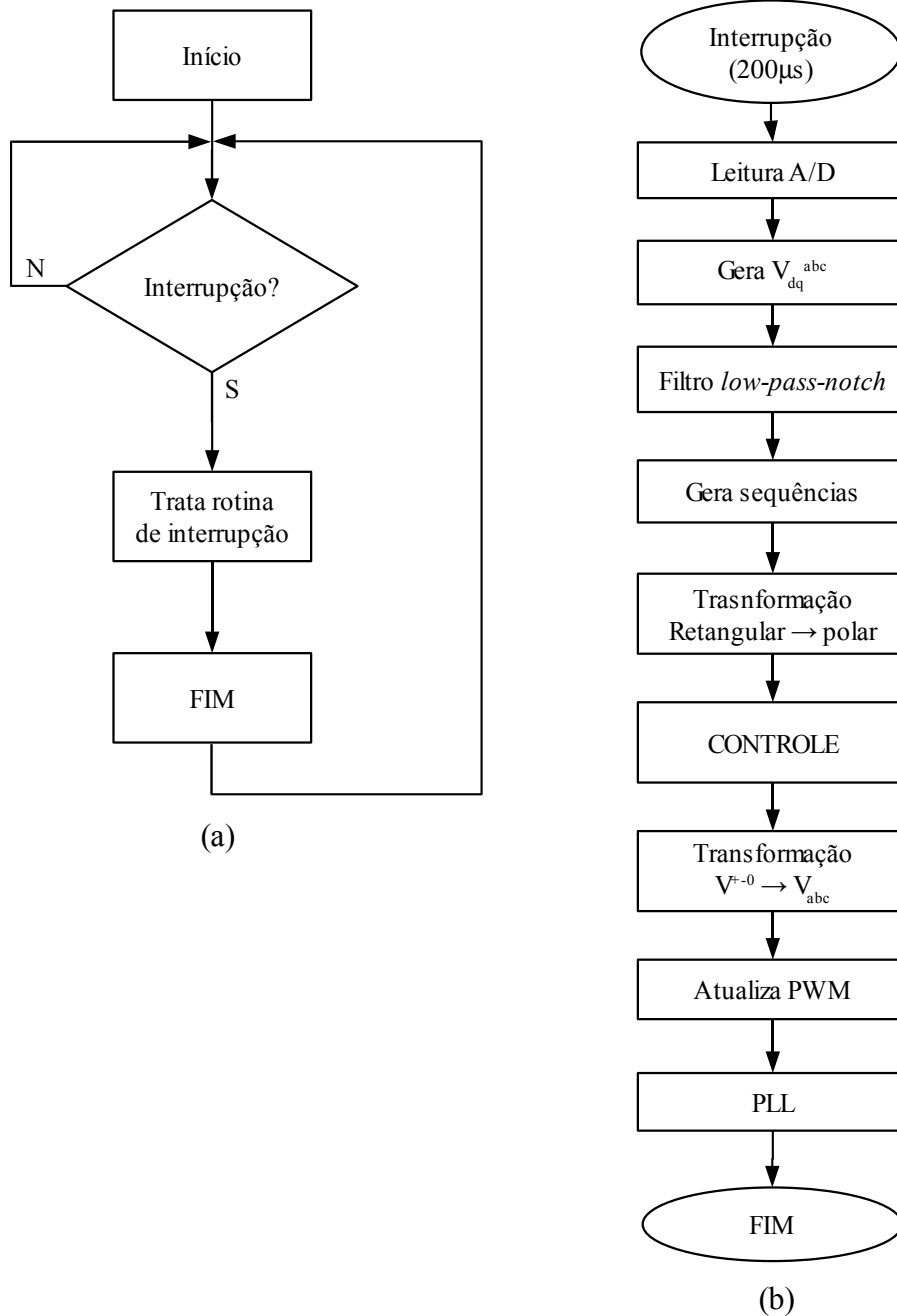


Figura 6.12: Fluxograma do (a) loop infinito e (b) rotina de interrupção.

- **Transformação retangular para polar**

A partir das componentes retangulares de V^+ , V^- e V^0 , se obtém a forma polar, isto é, $|V^+|\angle\phi^+$, $|V^-|\angle\phi^-$ e $|V^0|\angle\phi^0$.

- **Controle**

Esta rotina é responsável pelo controle do STATCOM. A partir do modo de operação definido, em um total de nove modos, define-se operações específicas para cada um deles, que são mostrados no fluxograma da Figura 6.13. Cada um dos modos será discutido a seguir.

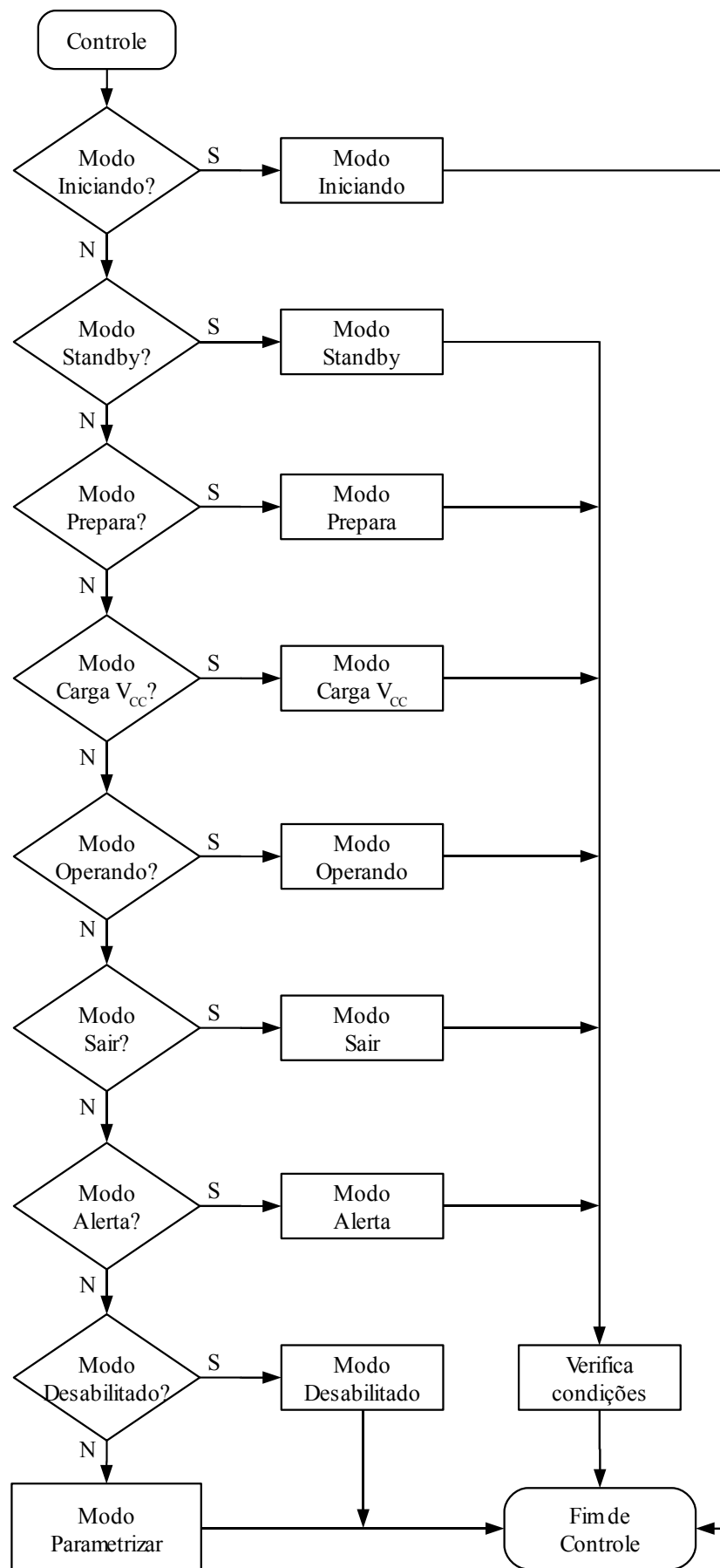


Figura 6.13: Fluxograma da rotina Controle.

No Modo Iniciando é realizada a inicialização do controle do STATCOM, estabilização dos sinais, *reset* do *hardware*, verificação das condições de alimentação (falta de fase e sequência de fase) do equipamento e parametrização. Após um período de 10s o STATCOM entra em Modo Standby.

Em Standby as tensões são monitoradas e é verificada a necessidade de operação do STATCOM. O que define a entrada em operação são os valores de cada componente de sequência. Se estes valores estiverem fora de uma faixa permitida, o STATCOM deve operar. A Tabela 6.1 mostra estes detalhes. Neste modo é fechado o contator K_N mostrado na Figura 6.2.

Valor de V^+ para início de atuação na subtensão	0,98 pu
Valor de V^+ para início de atuação na sobretensão	1,02 pu
Valor do FD para início de atuação da sequência negativa	0,02 pu
Valor mínimo de V_0 para início de atuação da sequência zero	0,02 pu
Valor limite de corrente para saída de operação do controle de V^+	0,05 pu
Valor limite de corrente para saída de operação do controle de V^-	0,05 pu
Valor limite de corrente para saída de operação do controle de V^0	0,05 pu

Tabela 6.1: Valores em pu para limites de entrada e saída de operação do STATCOM.

Caso haja a necessidade de se compensar alguma sequência, o STATCOM é levado para o Modo Prepara. Neste modo o STATCOM é preparado para entrar em operação. É aguardado um período de 2s para que os capacitores do elo CC se carreguem completamente através dos resistores de carga. Isso evita picos de corrente ao se habilitar o inversor.

No modo Carga V_{CC} , que sempre é habilitado sequencialmente ao Modo Prepara, o contator K_{rede} (Figura 6.2) é fechado, e com isto, os capacitores do elo CC são carregados com o auxílio do inversor, até seu valor nominal de tensão de 420 V. Isso é feito usando uma referência em rampa que tem seu valor inicial igual ao valor medido no barramento, instantes antes de se habilitar o inversor. O controle é realizado por um controlador PI atuando sobre o ângulo de defasagem entre o inversor e a rede. Nesta etapa o STATCOM não compensa nenhuma componente de sequência. Ao atingir o valor final da rampa de V_{CC} , o STATCOM entra em Modo Operando. Neste modo de operação o STATCOM realiza o controle das componentes simétricas que estiverem fora dos limites

permitidos.

O STATCOM opera compensando cada componente de sequência de forma independente. Assim, o sistema é monitorado visando habilitar ou desabilitar o controle de cada componente. Se o controle de sequência positiva estiver desabilitado verifica-se a necessidade de habilitar, e caso já esteja habilitado, verifica-se se é necessário permanecer habilitado. O mesmo ocorre para a sequência negativa e sequência zero.

A habilitação do controle é feita em função do valor da componente de sequência, conforme mostrado na Tabela 6.1. A desabilitação é feita, monitorado o esforço de controle que está sendo empregado, ou seja, a partir da corrente de compensação que o inversor está injetando na rede.

Se nenhuma componente estiver sendo compensada, o STATCOM entra em Modo Sair de operação. No Modo Sair o STATCOM sai de operação, o inversor é desabilitado e apenas o contator K_{rede} é aberto. A partir disso, o STATCOM retorna ao Modo Standby.

Após o Modo Iniciando, as condições de operação do STATCOM são monitoradas através da rotina Verifica Condições, como mostra o fluxograma da Figura 6.13. Nesta rotina, o *hardware* é verificado objetivando identificar sobrecorrente, sobretensão no elo CC. Além disso, em *software* são verificadas as seguintes condições: sobrecorrente, subtensão, sobretensão, falta de fase e proteção térmica, através dos sinais de tensão e correntes lidos pelo conversor AD do DSP. Na presença de qualquer destas situações, o STATCOM entra em Modo Alerta.

No Modo Alerta, o inversor é desabilitado, K_{rede} é aberto e o STATCOM é levado ao Modo Iniciando. Caso a falha continue, o STATCOM é levado novamente ao Modo Alerta, que automaticamente conduz ao Modo Iniciando porém com um atraso agora de 50 s. Esta operação é feita até uma terceira tentativa, que gera agora um atraso de 2 minutos para o STATCOM ser levado ao Modo Iniciando. Caso a falha persista, o STATCOM, é levado ao Modo Desabilitado, onde somente uma intervenção manual poderá fazê-lo entrar em operação novamente. Estes atrasos são gerados em virtude de em muitas das vezes as falhas serem transitórias e não permanentes, o que faria com que o STATCOM saísse de operação desnecessariamente.

O Modo Parametrizando, corresponde à situação em que seja necessária uma intervenção do usuário para alteração dos parâmetros de controle do STATCOM, modificando suas características de controle. Estas alterações são realizadas através de uma IHM (Interface Homem-Máquina) que será descrita na próxima seção.

- **Transformação polar para abc**

Com esta rotina se obtém os sinais de tensão de saída do inversor para cada fase, isto é V_{aout} , V_{bout} , V_{cout} . Aqui se faz a composição das componentes simétricas e mudança para o referencial estacionário. O resultado é a obtenção dos sinais de referência para o módulo PWM do DSP.

- **Atualiza PWM**

Rotina responsável pela atualização dos valores de referência do módulo PWM. Assim, se obtém, os sinais de comando para os IGBTs do inversor.

- **PLL**

Rotina para rastreamento do ângulo de fase da tensão no ponto de acoplamento comum (V_{PCC}). A partir dos sinais de tensão medidos, se utiliza um PLL (*phase-locked-loop*) que gera o ângulo $\theta = \int \omega dt$ para a fase a, sendo $V_a = |V_a| \sin(\theta)$. O ângulo θ é essencial para extração das componentes simétricas e transformação de referencial.

6.4 - A Interface Homem Máquina

A Interface Homem Máquina (IHM), permite a interação entre um operador e o STATCOM. Para isso foram utilizados um mostrador de cristal líquido (LCD) e um teclado para navegação/seleção, controlados por um microcontrolador dedicado que se comunica com o DSP. A Figura 6.14 mostra uma fotografia da IHM utilizada no STATCOM.



Figura 6.14: IHM.

Através da IHM, o usuário pode alterar alguns parâmetros de compensação e ganho de alguns controladores do circuito de controle. As informações e opções são apresentadas no LCD por meio de telas.

A Tabela 6.2 mostra as opções de configurações disponíveis para alteração pelo usuário. A IHM também possui gravados em sua memória, os valores padrões de configurações, para o caso do usuário desejar restaurar as configurações padrões.

Descrição do Parâmetro	Valores Possíveis	Valores Padrões
Operar ao energizar	Habilitado/ desabilitado	Habilitado
Compensar tensão de sequência positiva?	Sim/não	Sim
Compensar tensão de sequência negativa?	Sim/não	Sim
Compensar tensão de sequência zero?	Sim/não	Não
Valor de V^+ para início de atuação na subtensão	0,95 a 1,0 pu	0,98 pu
Valor de V^+ para início de atuação na sobretensão	1,0 a 1,05 pu	1,02 pu
Valor do FD para início de atuação da sequência negativa	0 a 0,05	0,02 pu
Valor mínimo de V_0 para início de atuação da sequência zero	0 a 0,05 pu	0,02 pu
Valor limite de corrente para saída de operação do controle de V^+	0 a 0,10 pu	0,05 pu
Valor limite de corrente para saída de operação do controle de V^-	0 a 0,10 pu	0,05 pu
Valor limite de corrente para saída de operação do controle de V^0	0 a 0,10 pu	0,05 pu
Ganho proporcional do regulador de tensão +	31 a 255	65
Ganho proporcional dos reguladores de tensão – e 0	20 a 127	98
Ganho integral do regulador de tensão +	10 a 100	10
Ganho integral dos reguladores de tensão – e 0	10 a 100	30
Ganho proporcional do regulador da tensão do elo CC	20 a 127	22
Ganho integral dos reguladores da tensão do elo CC	10 a 100	15
Tensão de referência (V_s^{+*})	0,95 a 1,05 pu	1,0 pu
Tensão de referência (V_{CC}^*)	360 a 440 V	420 V
Retornar todos os parâmetros aos valores de fábrica	Sim/não	Não

Tabela 6.2: Descrição dos parâmetros possíveis de alteração via IHM.

A comunicação entre a IHM e o DSP é realizada através de um protocolo de dados. Foi desenvolvida uma estrutura simples, utilizando um canal de comunicação serial, o que simplifica o hardware, sem com isso prejudicar a qualidade da transmissão dada a pequena distância entre a IHM e o DSP.

Os pacotes de dados apresentam o formato dado a seguir na Tabela 6.3:

Função	Dados	Checksum
8 Bits	8 Bits	8 Bits

Tabela 6.3: Formato do pacote de dados.

Cada campo do pacote de dados é citado abaixo:

- **Função:** função do pacote, que pode ser de parametrização do STATCOM, mensagens de erro e status, ou comandos.
- **Dados:** informações trocadas entre IHM e o DSP.
- **Checksum:** código de correção de erro do pacote enviado.

As funções são descritas a seguir:

A) Função Carregar Parâmetros

Este pacote de dados tem como função carregar os parâmetros salvos na IHM para a memória RAM do DSP. Os parâmetros, listados na Tabela 2, são enviados numa sequência predefinida. Ao iniciar o sistema este pacote é enviado ao DSP com os últimos parâmetros salvos.

B) Função *Status*

Este pacote de dados é periodicamente (2 a 3s) enviado do DSP para a IHM informando o *Status* do sistema. O *Status* contém informações sobre o modo de operação do STATCOM; os valores de corrente e tensão de sequência positiva, negativa e zero e mensagens de erros: falha na comunicação, falta de fase, sobretensão CC, sobrecorrente, curto-circuito no braço do inversor, sequência de fase incorreta e sobreaquecimento.

7 - RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentados alguns resultados experimentais utilizando o STATCOM de 20 kVA.

A primeira condição analisada foi a sua operação no LEPAC (Laboratório de Eletrônica de Potência e Acionamento Elétrico), com limitação de potência em 10 kVA. Neste caso foi utilizado um variac trifásico de potência 10 kVA, o que limitou a corrente de compensação do STATCOM em torno dos 28 A eficazes. Esta limitação foi imposta via *software*, através do saturador do controlador PI na malha de controle da tensão de sequência positiva (Figura 4.6a).

Com a utilização do variac pode-se facilmente forçar a operação do STATCOM, em situações de elevação e afundamento de tensão. Um leve desequilíbrio na rede testada era inerente, devido aos tipos de cargas existentes serem de predominância monofásicas e ao próprio variac não apresentar comportamento uniforme nas 3 fases.

Para simular a rede, foi inserida uma indutância entre o STATCOM e o variac com o objetivo de simular a impedância da linha, tornando a compensação perceptível nos testes. A Figura 7.1 mostra o diagrama básico implementado.

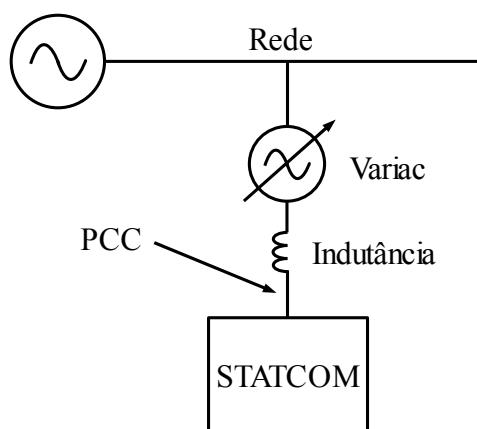


Figura 7.1: Diagrama básico implementado.

A segunda condição foi a de teste em campo do STATCOM realizado em uma rede de distribuição interna da ESCELSA, conectado ao barramento secundário de um transformador de 75 kVA.

7.1 - Experimentos realizados no LEPAC

A seguir apresentam-se os resultados dos experimentos, onde foram analisadas situações de desequilíbrio, subtensão e sobretensão de tensão. Os dados foram obtidos através de uma função específica de comunicação entre o DSP e o microcomputador. Para isto foi utilizada a comunicação serial para a geração de arquivos do tipo .m, e os dados foram tratados e plotados com o auxílio do Matlab. Estes dados foram amostrados a uma taxa de 5000 amostras por segundo, num total de 1000 pontos, o que corresponde a 12 ciclos da fundamental 60 Hz, ou 200 ms. Cada processo de obtenção de dados tem a capacidade de capturar até 4 variáveis do programa utilizado no controle do STATCOM. O valor de referência para a tensão de sequência positiva foi de 127 Vrms.

7.1.1 - Carga dos capacitores do elo CC

Estando os capacitores pré-carregados diretamente da rede através dos diodos retificadores com 360V, ao STATCOM entrar em operação, o processo de carga dos capacitores é iniciado, conforme fluxograma da Figura 6.13, para elevar a tensão V_{CC} até o valor nominal de 420V. Isto é feito com o inversor funcionando conforme um conversor elevador de tensão. A carga dos capacitores é feita através de uma referência em rampa gerada por *software*. Após os capacitores atingirem a tensão nominal (210 V cada um), o STATCOM passa a funcionar no Modo Operando, onde são feitas as compensações necessárias. A Figura 7.2 mostra o processo de carga dos capacitores do elo CC.

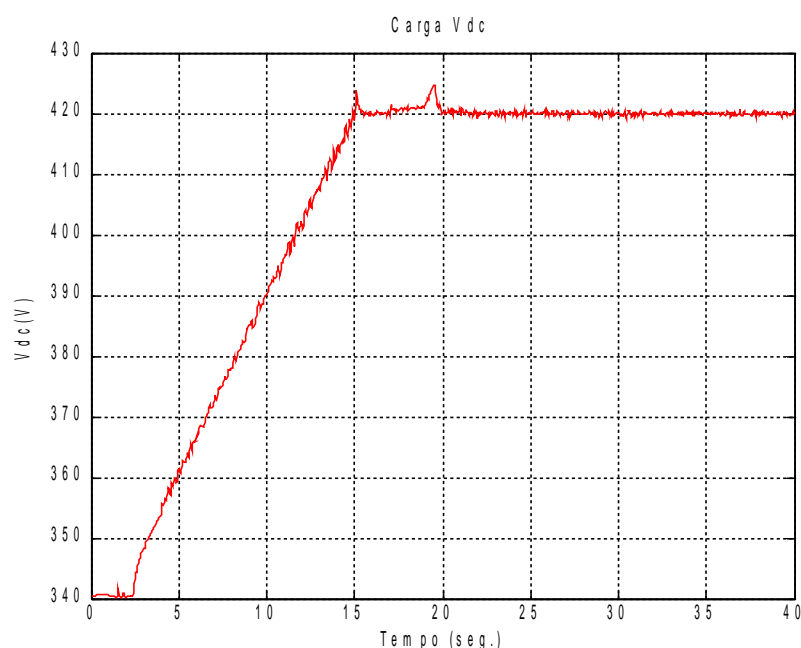


Figura 7.2: Processo de carga dos capacitores do elo CC

7.1.2 - Operação com leve desequilíbrio e subtensão

- 1ª Captura: Variáveis capturadas → Tensões de fase V_a , V_b e V_c antes da compensação.

Nesta situação foi ajustada a tensão de saída na fase A do variac a um valor de 123,7 Vrms, o que resultou em uma tensão de 125,2 Vrms para a fase B e 126,1 Vrms para a fase C. A Figura 7.3 mostra as formas de onda das fases A, B e C sem compensação no PCC em uma janela de 40 ms. Já a Figura 7.4 mostra o detalhe no valor de pico de cada uma das fases, o que resulta em um leve desequilíbrio de 0,54%, utilizando as equações 3.4 e 3.5 para seu cálculo com o auxílio do Matlab.

Os valores eficazes das tensões e correntes, quando informados, foram obtidos através de uma rotina de cálculo no Matlab utilizando a definição matemática de valor eficaz ou rms de uma onda.

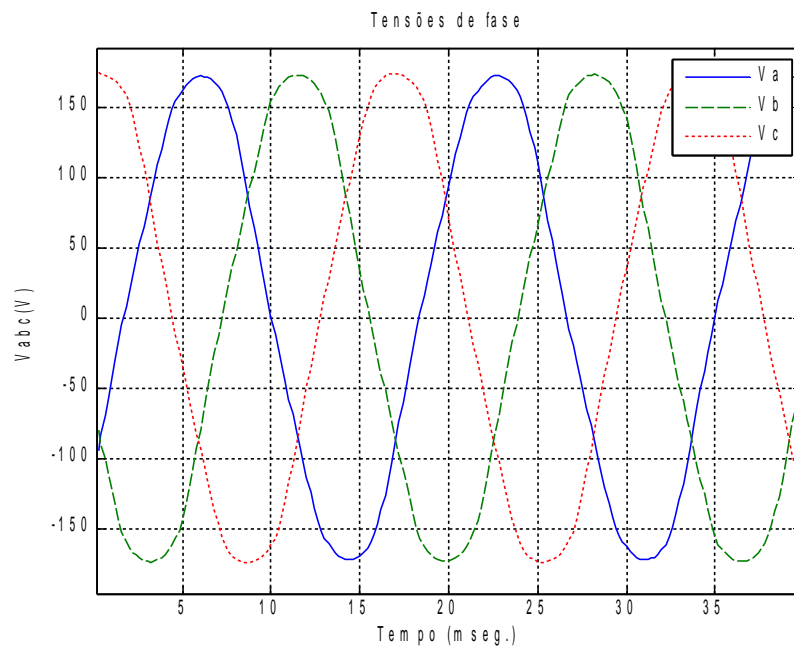


Figura 7.3: Tensões de fase no PCC sem compensação no caso de subtensão.

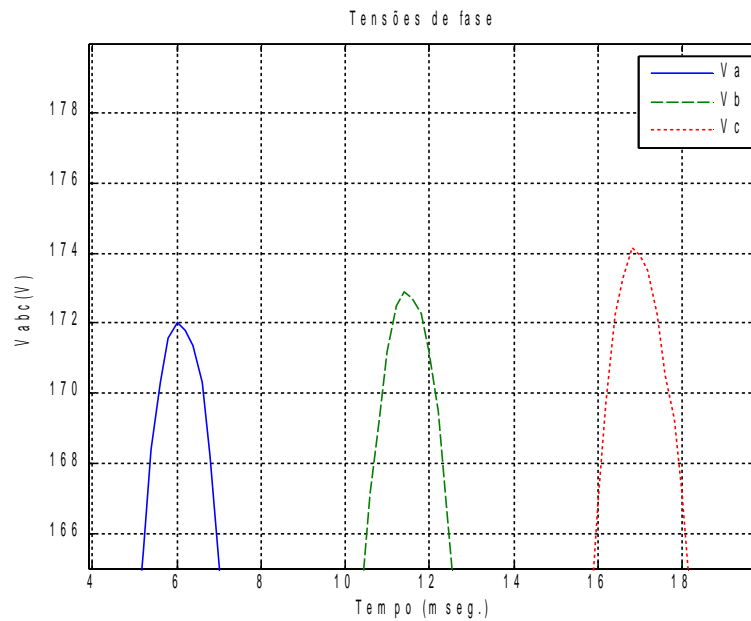


Figura 7.4: Detalhe no valor de pico das tensões de fase sem compensação no caso de subtensão.

- 2ª Captura: Variáveis capturadas → Tensões de fase V_a , V_b e V_c durante a compensação.

A Figura 7.5 mostra as tensões de fase no ponto de acoplamento (PCC) e a Figura 7.6 mostra o detalhe no valor de pico das tensões de fase após a atuação do STATCOM. Observa-se que as tensões nas fases A, B e C tiveram um pequeno ganho de tensão, o que corresponde a compensação realizada pelo STATCOM. Calculando os valores eficazes com auxílio do Matlab em 12 ciclos da captura para as fases resulta: $V_a = 125,7$ Vrms, $V_b = 125,2$ Vrms e $V_c = 126,1$ Vrms, com um fator de desequilíbrio de 0,2%.

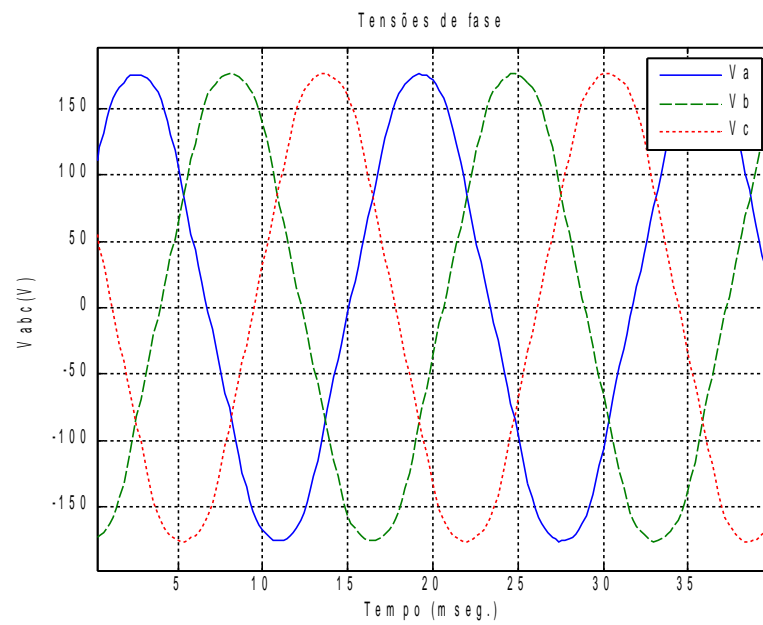


Figura 7.5: Tensões de fase no PCC com compensação no caso de subtensão.

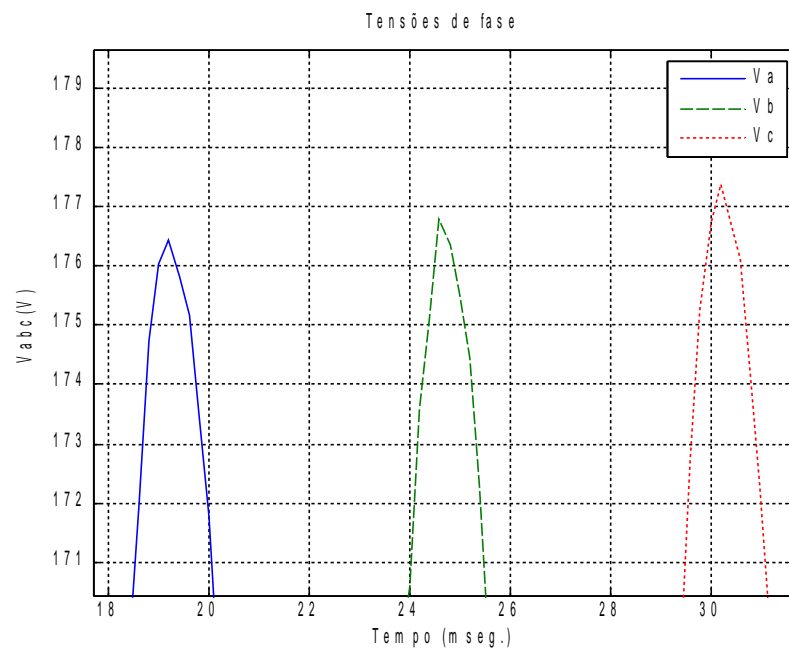


Figura 7.6: Detalhe no valor de pico das tensões de fase com compensação no caso de subtensão.

- 3ª Captura: Variáveis capturadas → Correntes injetadas pelo STATCOM nas fases a, b e c e tensão na fase a durante a compensação: I_{COM}^a , I_{COM}^b , I_{COM}^c e V_a .

A Figura 7.7 mostra as correntes de compensação em cada fase.

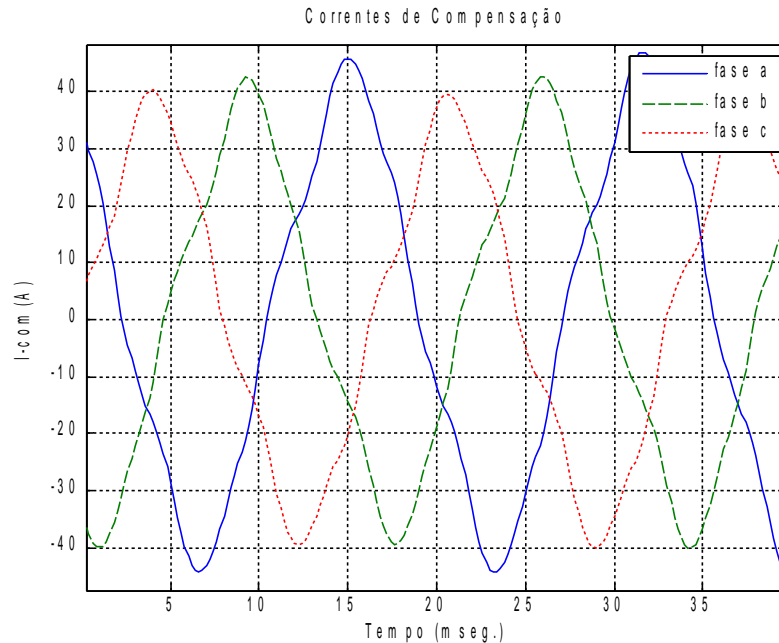


Figura 7.7: Correntes de compensação em cada fase no caso de subtensão.

Os valores eficazes das correntes injetadas nas fases a, b e c são 29,5 A, 25,7 A e 25,4 A respectivamente.

As distorções nas correntes são devidas à presença de harmônicos na tensão da rede, em particular o 3º e 5º harmônicas, pois de acordo com [9], utilizando o teorema da superposição, o inversor se comporta como um curto para os harmônicos, somente agindo na compensação da fundamental, ou seja, 60 Hz. Para constatação deste fato, foi gerado o espectro harmônico da fase A da rede elétrica para tensão e corrente de compensação de 20 Arms, antes e após a compensação, comparando-se assim os efeitos de injeção de harmônicos do inversor, caso exista. A Figura 7.8 mostra a análise das componentes harmônicas da tensão utilizando o Matlab, no ponto de acoplamento antes da atuação do STATCOM. Observa-se a presença das componentes de 3º e 5º harmônicas bem expressivos em relação aos demais selecionados.

As Figuras 7.9 e 7.10 e mostram os espectro harmônico da tensão no PCC e a corrente de compensação do STATCOM após sua operação.

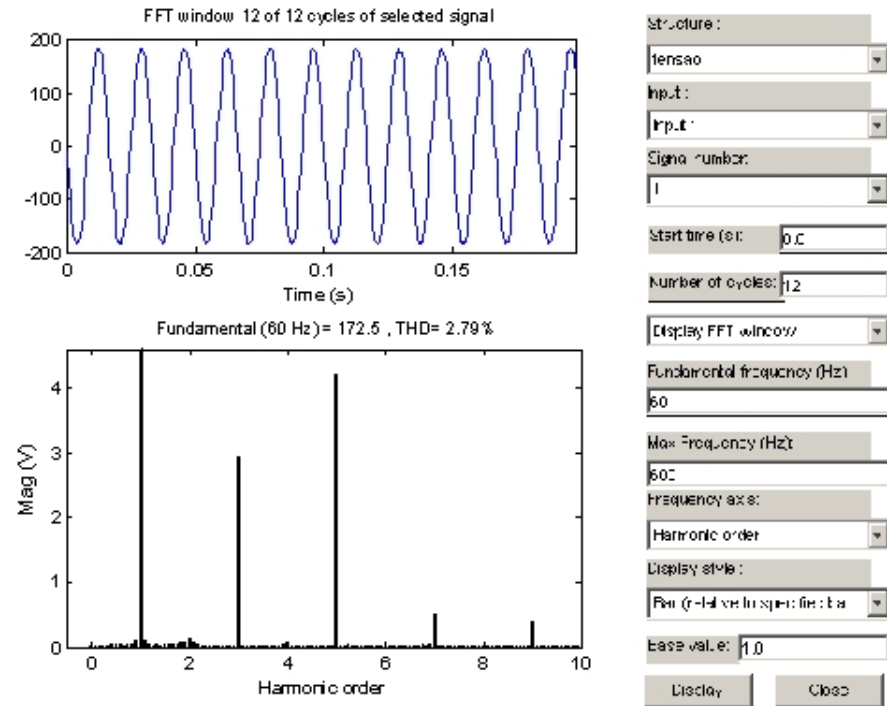


Figura 7.8: Componentes harmônicas da tensão em Volts no PCC antes da atuação do STATCOM

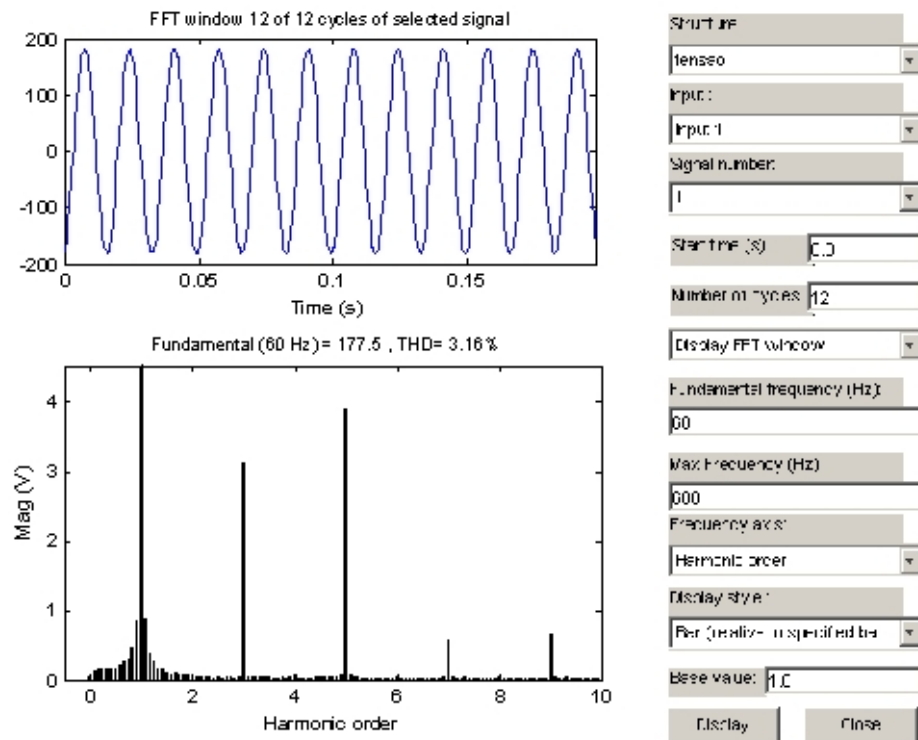


Figura 7.9: Espectro harmônico da tensão em Volts no PCC após a atuação do STATCOM.

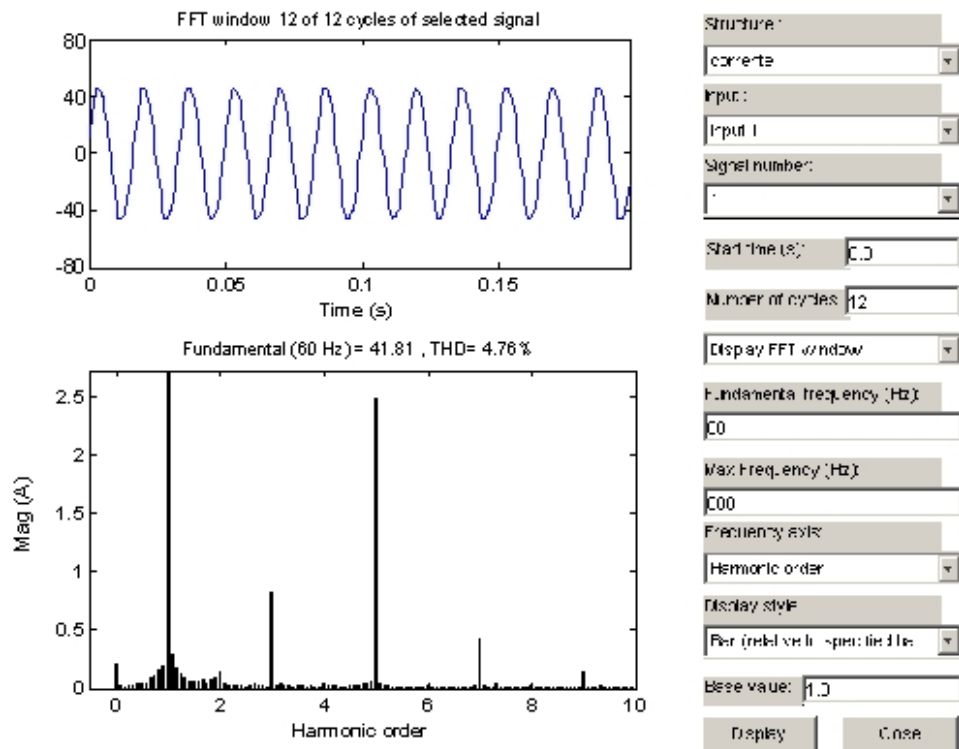


Figura 7.10: Espectro harmônico da corrente em Ampères após a atuação do STATCOM.

A Tabela 7.1 contém os valores das componentes harmônicas de tensão antes e após a atuação do STATCOM e valores esperados para as harmônicas da corrente calculadas através de uma função específica do Matlab comparados com as correntes esperadas em função da reatância de acoplamento X_{Lh} e da tensão harmônica correspondente.

Ordem Harmônica (h)	Tensão (antes da atuação)		Tensão (após a atuação)		Corrente capturada		Corrente esperada		X_{Lh} (Ω)
	V _{pico}	%	V _{pico}	%	A _{pico}	%	A _{pico}	%	
Fundamental	172,5	100	177,5	100	41,81	100	-	-	-
3ª Harmônica	2,94	1,7	3,12	1,7	0,85	2,01	2,38	5,7	1,31
5ª Harmônica	4,2	2,43	3,92	2,21	1,93	4,61	1,79	4,28	2,18
7ª Harmônica	0,51	0,3	0,56	0,3	0,2	0,47	0,18	0,43	3,06
9ª Harmônica	0,4	0,23	0,55	0,3	0,14	0,33	0,13	0,31	3,96

Tabela 7.1: Componentes harmônicas de tensão e corrente para cada harmônico com os valores medidos e valores esperados para a corrente.

Na Tabela 7.1 pode-se observar que são confrontados os espectros harmônicos da tensão antes e após a atuação do STATCOM, onde pode-se concluir que a variação percentual nos harmônicos considerados é bem pequena demonstrando que a sua atuação não altera o espectro harmônico da tensão no ponto de acoplamento. Já para os valores de corrente, observa-se que a componentes de 3º harmônica da corrente capturada difere bastante do valor esperado.

Desta forma não podemos garantir que a impedância vista por este harmônico seja simplesmente $X_{3h} = \omega_{3h} L_f$ como suposto na Tabela 7.1. Para a determinação do valor real desta impedância, é necessário um modelamento mais preciso do inversor e rede da elétrica para esta situação, fato não abordado no escopo do trabalho.

A Figura 7.11 mostra a tensão e a corrente de compensação na fase a, onde vê-se claramente a corrente injetada pelo STATCOM adiantada de 90° em relação à tensão, caracterizando uma operação capacitiva, compatível com o STATCOM operando como fonte.

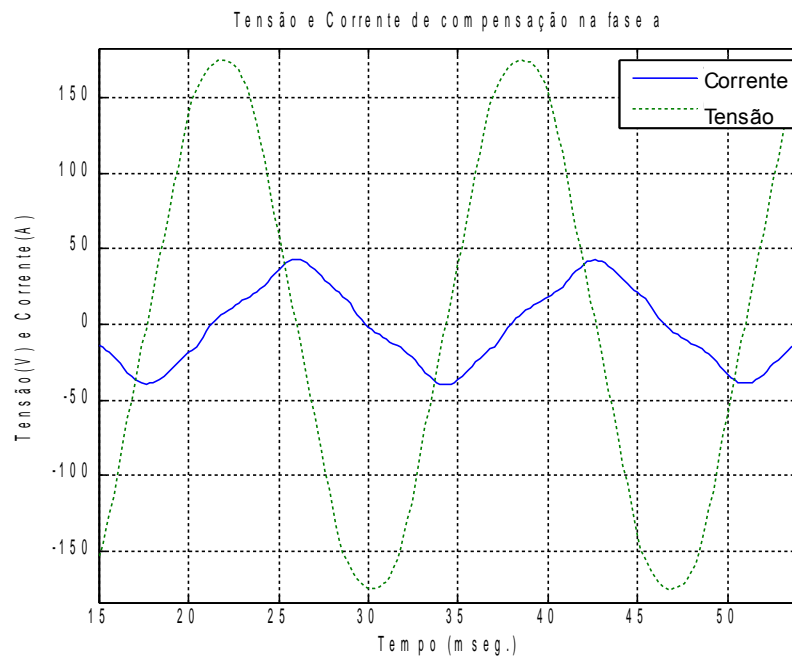


Figura 7.11: Tensão e corrente de compensação na fase a no caso de subtensão com tensão em Volts e corrente em Ampères.

- 4ª Captura: Tensões de sequência positiva e negativa antes e após a compensação.

A Figura 7.12 mostra as tensões de sequências positiva e negativa, antes da atuação do STATCOM e após o instante de tempo de 8 s, onde o STATCOM entrou em operação. Observa-se que após a entrada em operação, tem-se um pequeno aumento no valor da tensão de sequência positiva e uma minimização da tensão de sequência negativa.

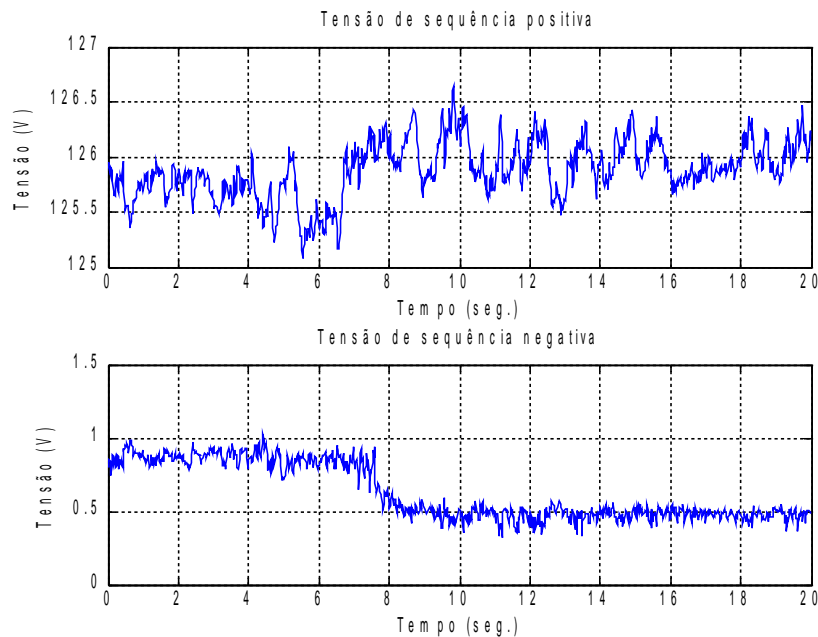


Figura 7.12: Tensões de sequência positiva e negativa antes e após a compensação no caso de subtensão.

7.1.3 - Operação com leve desequilíbrio e sobretensão

- 1ª Captura: Variáveis capturadas → Tensões de fase V_a , V_b e V_c antes da compensação.

Nesta situação foi ajustado a tensão de saída na fase A do variac a um valor de 132,4 Vrms, o que resultou em uma tensão de 133,8 Vrms para a fase B e 135,2 Vrms para a fase C. A Figura 7.13 mostra as formas de onda das fases a, b e c sem compensação em uma janela de 40 ms. Já a Figura 7.14 mostra o detalhe no valor de pico de cada uma das fases, o que resulta em um leve desequilíbrio de 0,62%, utilizando as equações 3.4 e 3.5 para seu cálculo com o auxílio do Matlab.

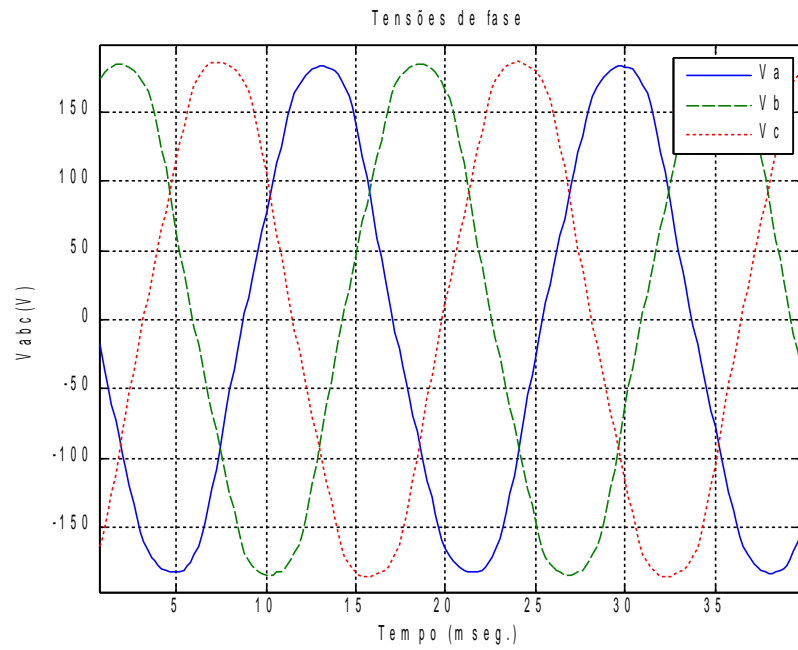


Figura 7.13: Tensões de fase no PCC sem compensação no caso de sobretensão.

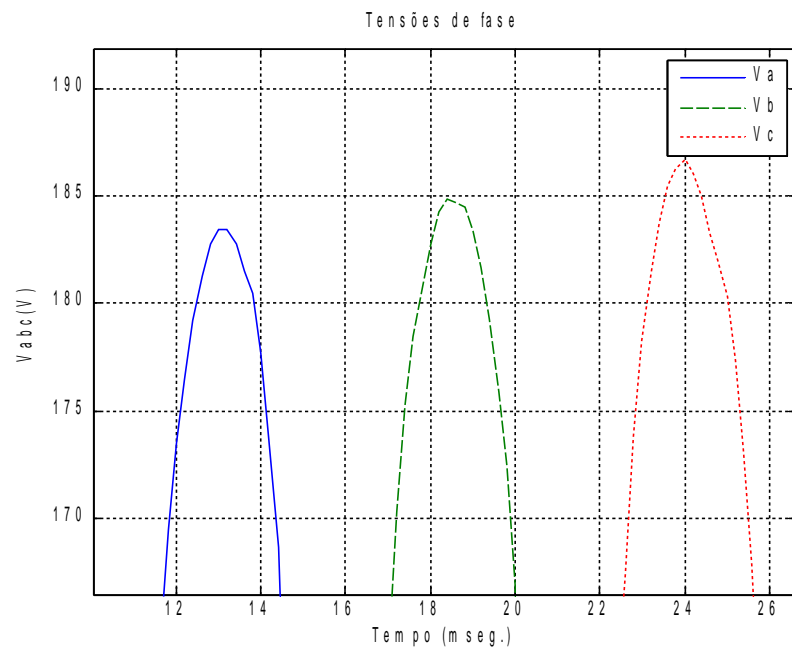


Figura 7.14: Detalhe no valor de pico das tensões de fase sem compensação no caso de sobretensão.

- 2ª Captura: Variáveis capturadas → Tensões de fase V_a , V_b e V_c durante a compensação.

A Figura 7.15 mostra as tensões de fase no ponto de acoplamento (PCC) e a Figura 7.16 mostra o detalhe no valor de pico das tensões de fase após a atuação do STATCOM. Observa-se que as tensões na fase a, b e c tiveram uma redução na tensão do PCC, o que corresponde à compensação realizada pelo STATCOM. Calculando os valores rms com auxílio do Matlab em 12 ciclos da captura, para as fases resulta em: $V_a = 125,7$ Vrms, $V_b = 125,2$ Vrms e $V_c = 126,1$ Vrms, com um fator de desequilíbrio de 0,31%.

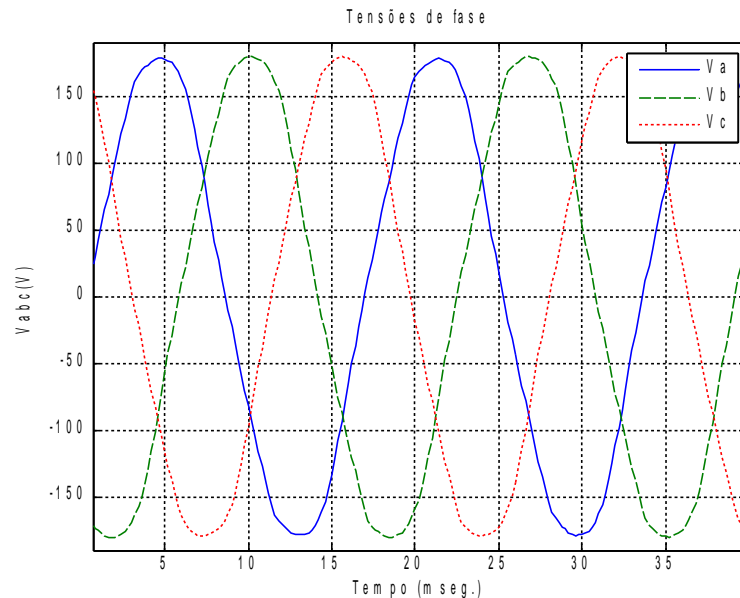


Figura 7.15: Tensões de fase no PCC com compensação no caso de sobretensão.

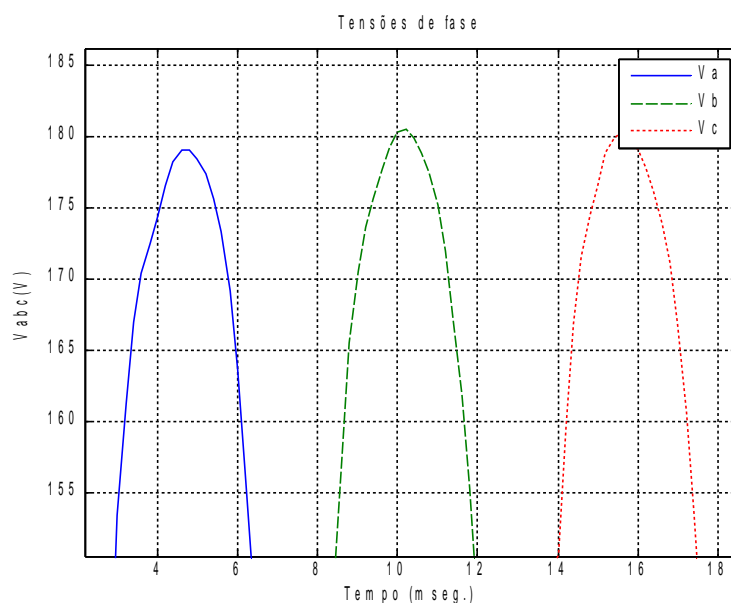


Figura 7.16: Detalhe no valor de pico das tensões de fase com compensação no caso de sobretensão.

- 3ª Captura: Variáveis capturadas → Correntes injetadas pelo STATCOM nas fases a, b e c e a tensão na fase a durante a compensação: I_{COM}^a , I_{COM}^b , I_{COM}^c e V_a .

A Figura 7.17 mostra as correntes de compensação em cada fase. As distorções nas correntes são devidas à presença de harmônicos na tensão da rede. Os valores eficazes das correntes injetadas nas fases a, b e c são: 25,9 A, 26,7 A e 27,0 A respectivamente. A Figura 7.18 mostra a tensão e a corrente de compensação na fase a, onde vê-se claramente a corrente injetada pelo STATCOM atrasada de 90° em relação à tensão, caracterizando uma operação indutiva, compatível com a convenção de fonte.

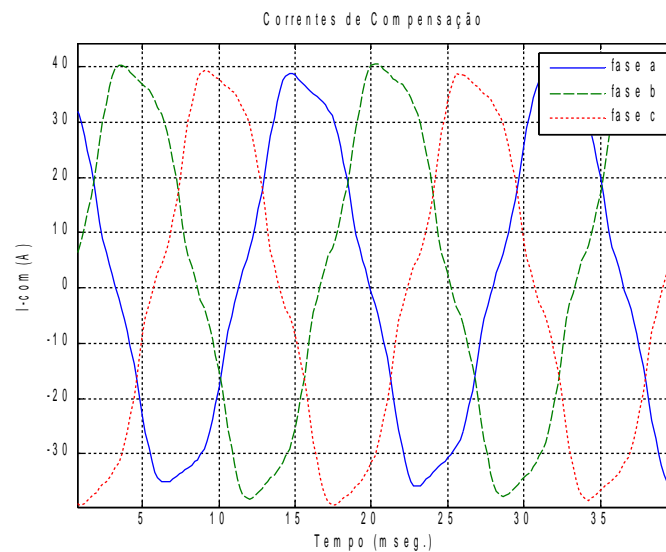


Figura 7.17: Correntes de compensação em cada fase no caso de sobretensão.

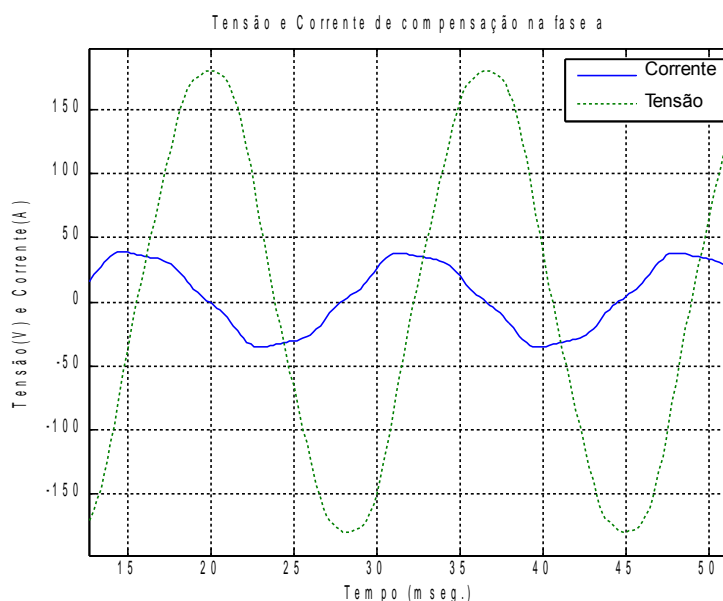


Figura 7.18: Tensão e corrente de compensação na fase a no caso de sobretensão com tensão em Volts e corrente em Ampères.

- 4ª Captura: Tensões de sequência positiva e negativa antes e após a compensação.

A Figura 7.19 mostra as tensões de sequências positiva e negativa, antes da atuação do STATCOM e após o instante de tempo de 4 s, onde o STATCOM entrou em operação. Observa-se que após a entrada em operação, tem-se uma pequena redução no valor da tensão de sequência positiva e uma redução na tensão de sequência negativa.

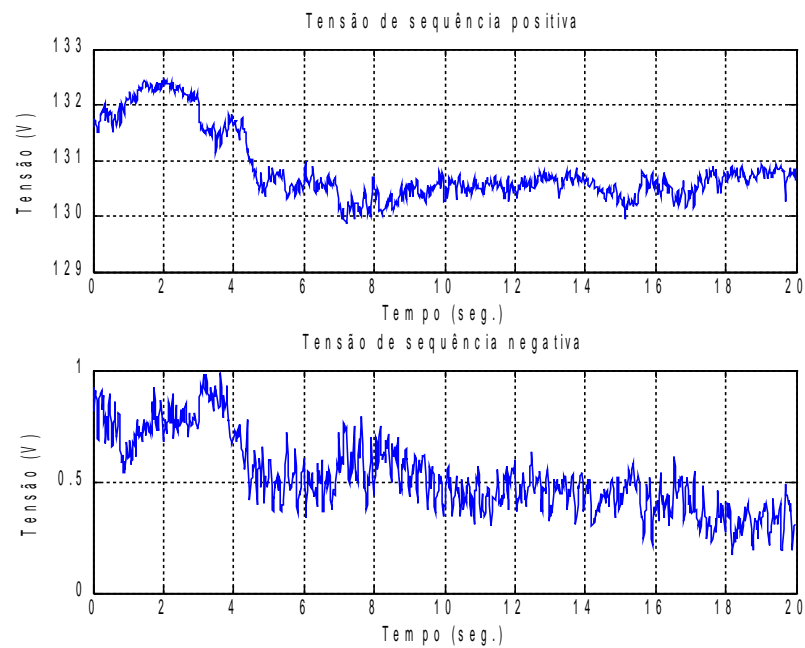


Figura 7.19: Tensões de sequência positiva e negativa antes e após a compensação no caso sobretensão.

7.2 - Testes em Campo

Após os testes em laboratório, foi realizado o primeiro teste em campo em uma rede de distribuição interna da ESCELSA. O STATCOM foi conectado à rede junto ao barramento secundário de um transformador de distribuição de 75 kVA, sendo monitoradas as tensões de fase e correntes de linha do secundário do transformador a uma taxa de uma amostra por minuto.

A Figura 7.20 mostra a fotografia do ponto de conexão do STATCOM instalado na rede interna às dependências da ESCELSA em Carapina, na cidade de Serra-ES.



Figura 7.20: Ponto da conexão do STATCOM com a rede

- **Análise das tensões**

As amostras analisadas da tensão de fase da rede no ponto de acoplamento, compreendem-se entre os horários de 10:00h as 11:00h da manhã, sendo que as 10:30h o STATCOM entrou em operação. De acordo com a Figura 7.21, antes da 10:30h da manhã, a tensão no ponto de acoplamento sofria algumas flutuações, porém com a ação do STATCOM, houve uma significativa redução na variação da tensão. Neste caso o STATCOM estava com seu referencial de tensão um pouco abaixo dos 127 V, pois não se havia feito uma calibração no local.

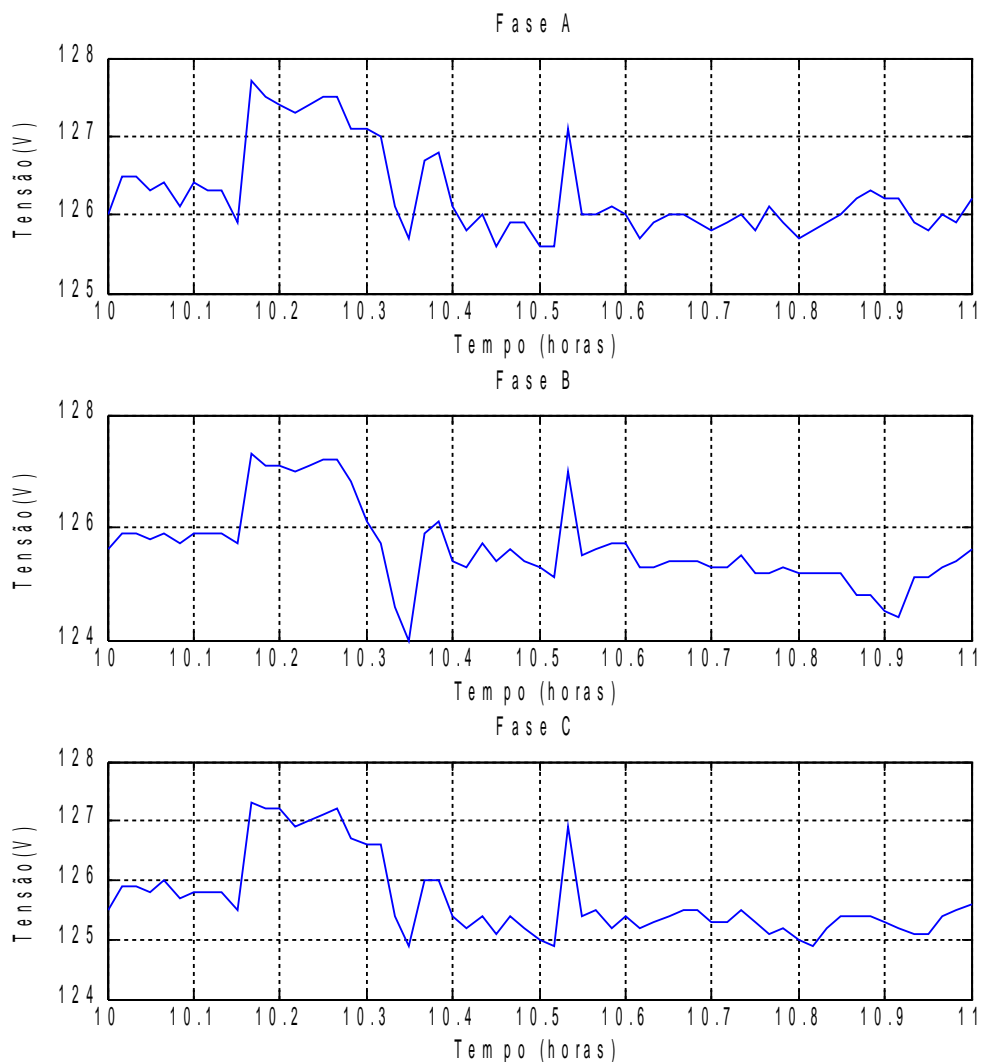


Figura 7.21: Tensão no ponto de acoplamento antes da atuação do STATCOM, e após a atuação do STATCOM às 10:30h.

As Figuras 7.22, 7.23 e 7.24, mostram as taxas de distorção harmônica (THD) e o 3º, 5º e 7º harmônicos das fases A, B e C respectivamente, antes e após a atuação do STATCOM.

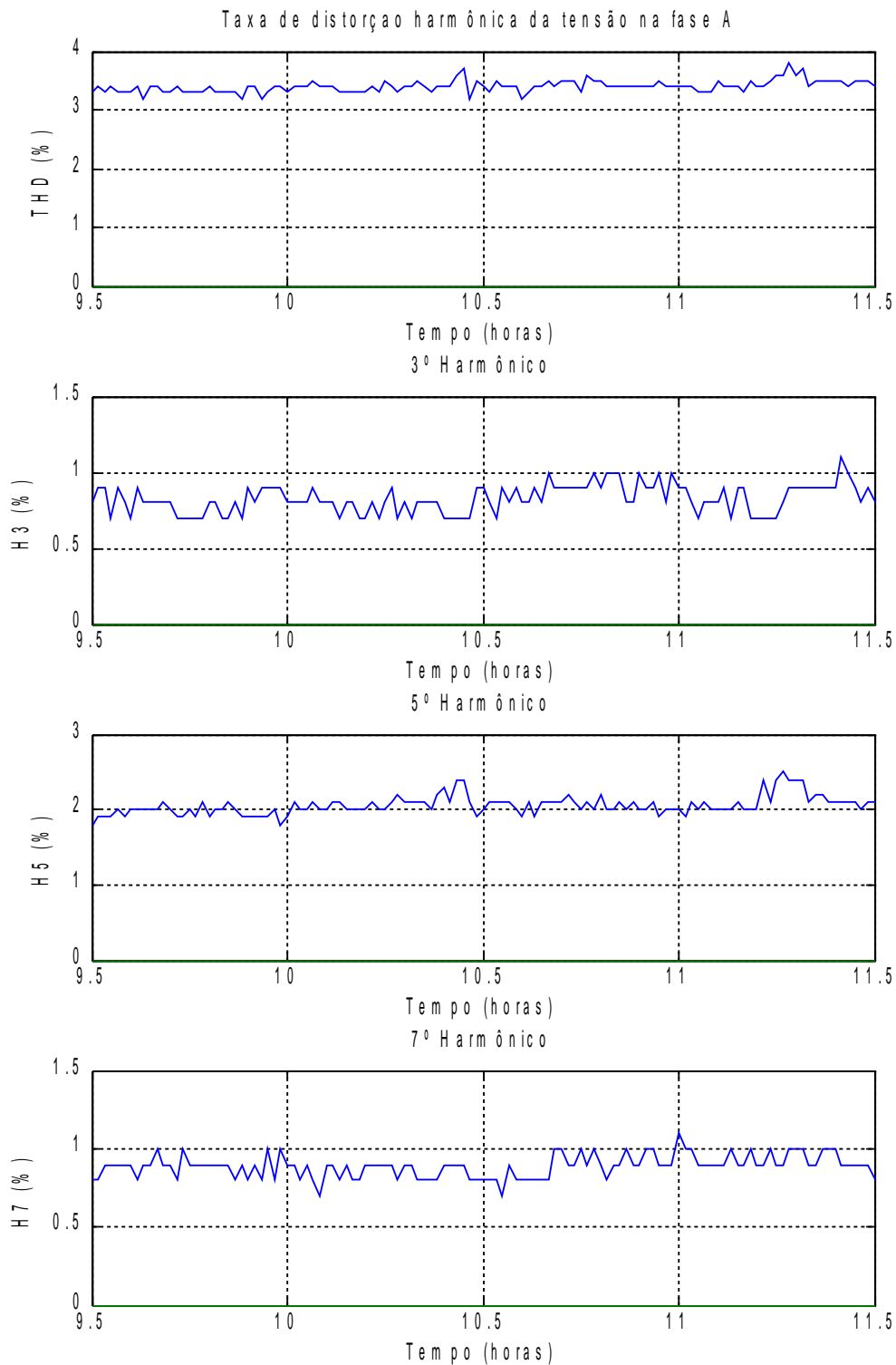


Figura 7.22: Distorção Harmônica Total e o 3º, 5º e 7º harmônicas da fase A antes da atuação do STATCOM, e após a atuação do STATCOM às 10:30h.

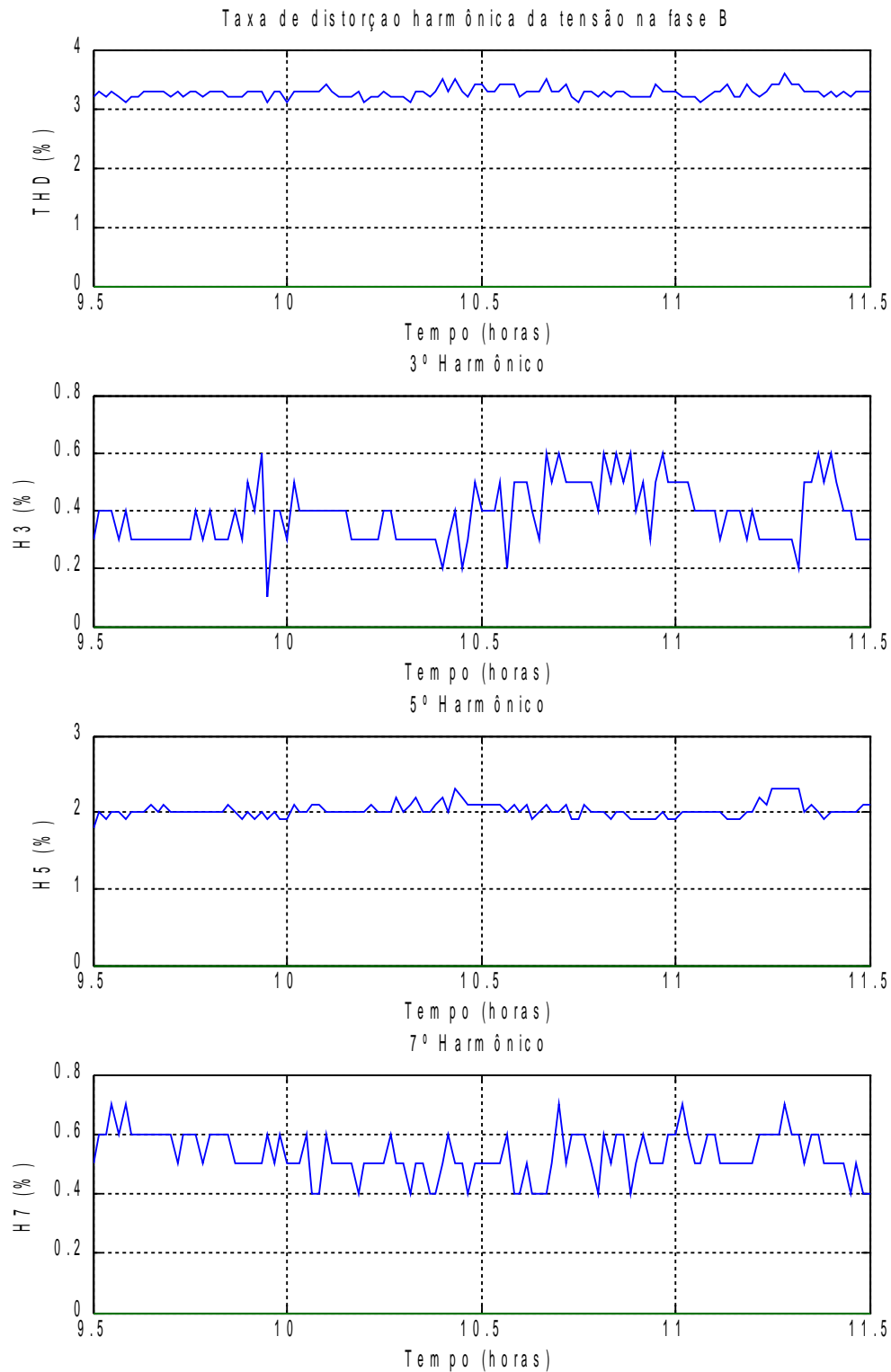


Figura 7.23: Distorção Harmônica Total e o 3º, 5º e 7º harmônicas da fase B antes da atuação do STATCOM, e após a atuação do STATCOM às 10:30h.

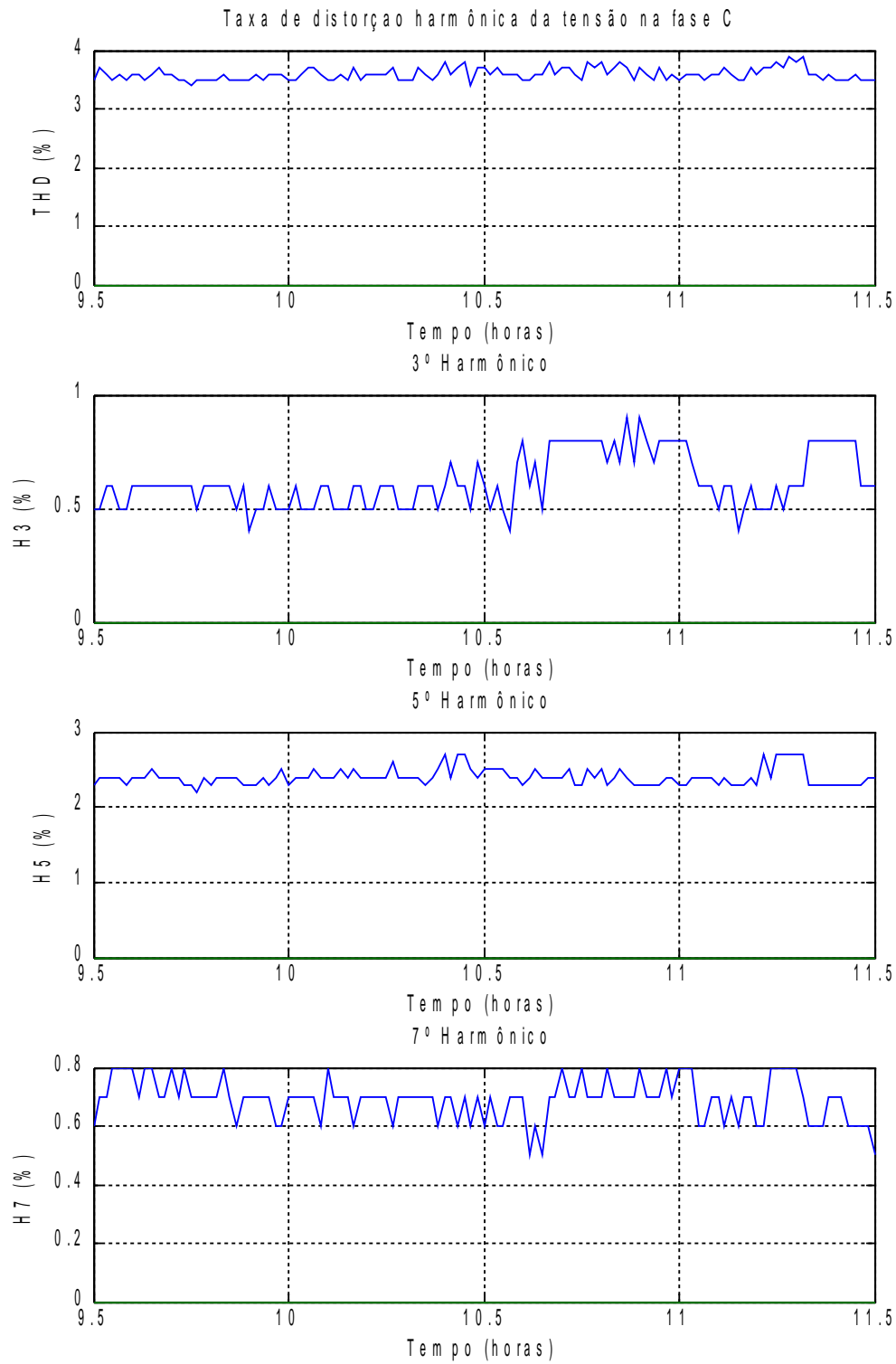


Figura 7.24: Distorção Harmônica Total e o 3º, 5º e 7º harmônicas da fase C antes da atuação do STATCOM, e após a atuação do STATCOM às 10:30h.

A partir dos dados das Figuras 7.22, 7.23 e 7.24, foi montada a Tabela 7.2 comparando os valores médios das distorções harmônicas e os harmônicos antes e após a operação do STATCOM para as três fases A, B e C.

		THD (%)	3º harmônico (%)	5º harmônico (%)	7º harmônico (%)
Fase A	antes	3,36	0,79	2,02	0,87
	depois	3,44	0,85	2,09	0,91
Fase B	antes	3,25	0,34	2,02	0,53
	depois	3,29	0,36	2,02	0,52
Fase C	antes	3,57	0,56	2,4	0,68
	depois	3,62	0,58	2,4	0,7

Tabela 7.2: Comparação das distorções harmônicas na tensão das fases A, B e C.

- **Análise das correntes**

As amostras analisadas das correntes de linha (secundário do transformador), assim como para a tensão, compreendem-se entre os horários de 10:00h às 11:00h da manhã, sendo que as 10:30h o STATCOM entrou em operação.

A Figura 7.25 mostra as correntes no secundário do transformador de distribuição. Observa-se que após as 10:30h a corrente no secundário aumentou significativamente. O STATCOM estava com seu referencial pouco abaixo dos 127 V, o que forçou sua operação de tal forma que absorvesse reativos da linha aumentando assim a queda de tensão na mesma. Isso que resultou numa diminuição no nível de tensão nas fases da rede conforme mostrado na Figura 7.21.

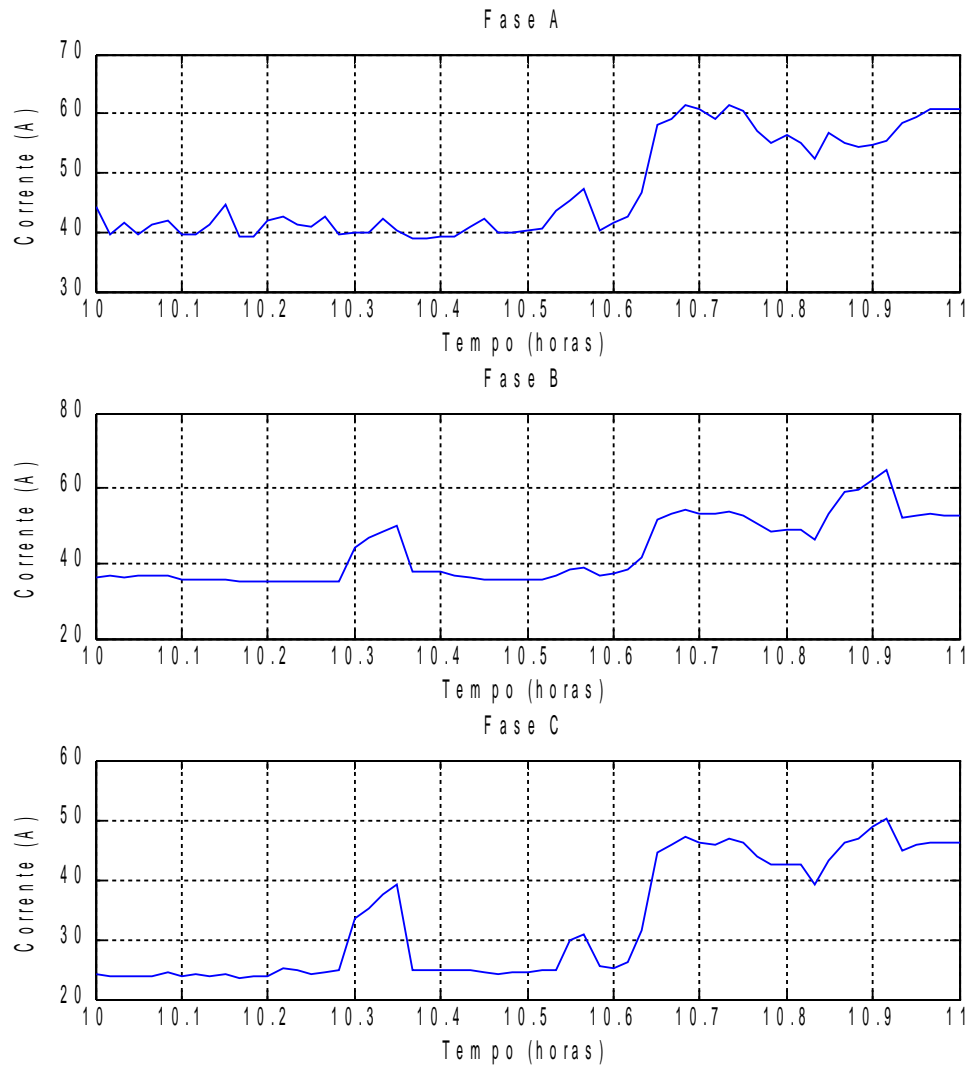


Figura 7.25: Correntes no secundário do transformador antes da atuação do STATCOM e após a atuação do STATCOM às 10:30h.

A Figura 7.26 mostra a potência reativa no secundário do transformador antes e após a atuação do STATCOM. Pode-se observar também que antes das 10:30h a potência era em torno dos 2 kVar, após a atuação do STATCOM, a potência aumentou para próximo dos 14 kVar, o que justifica o funcionamento do STATCOM com o indutor, compensando a sobre-elevação de tensão comparada ao referencial.

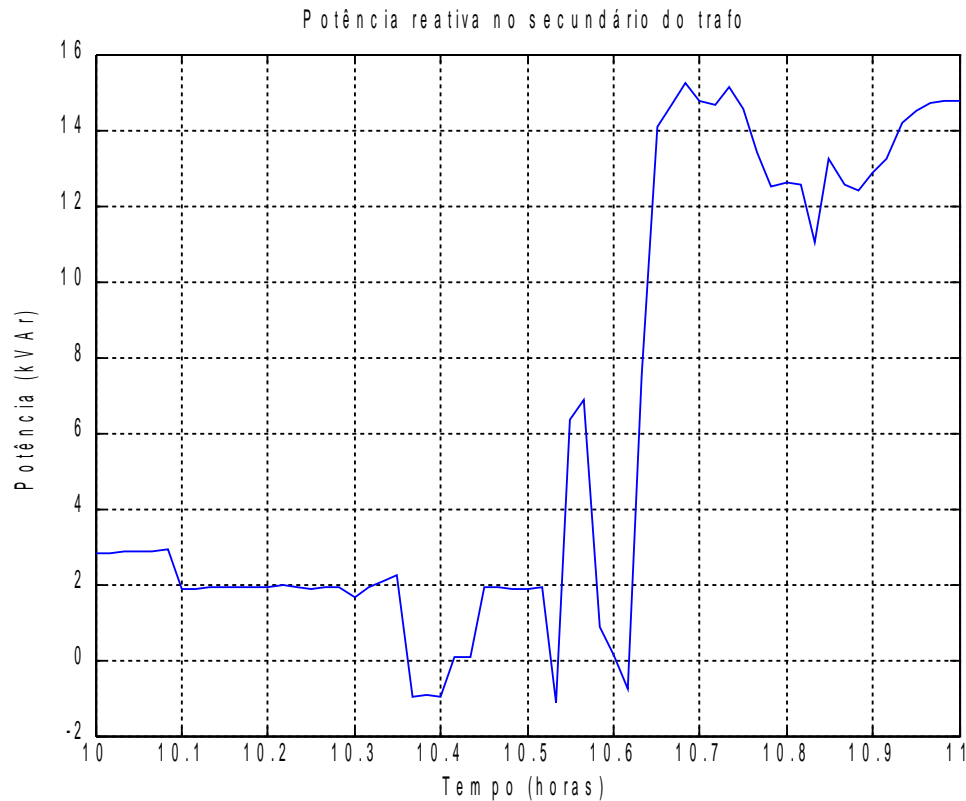


Figura 7.26: Potência reativa no secundário do transformador antes da atuação do STATCOM e após a atuação do STATCOM às 10:30h.

7.3 - Conclusão

Neste capítulo foram apresentados resultados experimentais obtidos como protótipo de 20 kVA em duas situações distintas: em laboratório, e instalado em uma rede de distribuição secundária real.

Os resultados obtidos nas duas situações mostram, por um lado, que a proposta é totalmente válida e o equipamento desempenha adequadamente as funções a ele atribuídas. Por outro lado verifica-se a necessidade de alguns ajustes para melhorar o seu desempenho.

8 - CONCLUSÃO GERAL

Ao longo deste trabalho foram apresentadas e implementadas estratégias para o controle do nível de tensão e desequilíbrio de um sistema trifásico de distribuição através da manipulação das componentes de sequência simétricas, utilizando a transformação $dq0$ por fase, verificou-se que a técnica utilizada é realmente eficiente na detecção das componentes de sequência positiva, negativa e zero para compensação, demonstrando resultados práticos dentro dos esperado comparado as simulações realizadas, porém essa técnica não identifica as componentes harmônicas, que necessitarão de outra forma de detecção caso haja interesse, pois somente a componente fundamental foi compensada.

Foi implementado um STATCOM com potência de 20 kVA, baseado nas simulações, utilizando um DSP (*Digital Signal Processor*) para efetuar todo o controle lógico e computacional, incluindo um sistema de proteção sendo fundamental para preservar tanto o equipamento, como o sistema ao qual está conectado. Foi utilizado um inversor trifásico comercial de 3 braços com características intrínsecas de robustez, colaborando para que o equipamento fosse altamente confiável. Isto somente foi possível devido o acesso ao ponto central do barramento CC.

A compensação do desequilíbrio foi realizada através da minimização das componentes de sequência negativa e zero, bem como a injeção ou absorção de reativos na linha de distribuição com o objetivo de compensar sobre ou subtensões. Foram colhidos dados para verificação da eficácia do STATCOM operando em condições experimentais de desequilíbrio, subtensão e sobretensão utilizando um variac para impor tais situações, e em condições nominais conectado a uma rede de distribuição secundária real, sendo nas duas situações comprovadas as simulações realizadas.

No processo de se carregar os capacitores do elo CC, foi utilizada uma pre carga através dos resistores e do retificador do próprio inversor, resultando em uma tensão com o dobro da tensão de pico de fase, antes de se elevar a tensão para seu valor nominal utilizando o próprio inversor.

Os indutores de acoplamento utilizados para estas faixas de indutância e corrente não foram triviais, e merecem um estudo mais detalhado a parte.

O desacoplamento total do circuito de potência com o circuito de sinal foi fundamental para a operação correta do equipamento, uma vez que uma versão inicial apresentou interferências dos contadores e indutores nas placas de sinais.

8.1 - Contribuições

A principal contribuição deste trabalho, foi a implementação prática de um equipamento compacto, de fácil instalação e operação, para ser utilizado no controle da qualidade do fornecimento de energia em redes de distribuição secundária, através do controle do nível de tensão na rede e também o nível de desequilíbrio entre as tensões das fases.

Sendo assim, a utilização do STATCOM seria recomendada para a solução de problemas pontuais causados pelo atendimento a consumidores distantes das subestações de distribuição, também havendo a possibilidade de vir a substituir a instalação de bancos de capacitores e de reguladores de tensão.

8.2 - Sugestões para trabalhos futuros

1- Utilização do STATCOM associado a banco de capacitores chaveados, para ser fazer um controle fino de reativos.

2- Inserção de um controle remoto do equipamento, evitando assim que o operador técnico, necessite utilizar escadas e ou guindastes para ligar/desligar, enviar ou receber informações de operações e parametrizar o equipamento.

3- Análise da impedância de sequência zero apresentada pelo inversor.

REFERÊNCIAS

- [1] BRONZEADO, Herivelto S. *et al.* **Uma Proposta de Termos e Definições Associadas a Qualidade da Energia Elétrica**. II Seminário Brasileiro sobre Qualidade da Energia Elétrica – SBQEE, São Lourenço – MG, 1997.
- [2] AGÊNCIA NACIONAL DE ENERGIA ELÉTRICA. **Procedimentos de distribuição de energia elétrica no sistema elétrico nacional** – PRODIST. Módulo 8 – Qualidade da Energia Elétrica. Brasil, 2008.
- [3] TAYLOR, Carson W. **Improving grid behavior**, IEEE Spectr., vol. 36, no. 6, pp. 40–45, Jun. 1999.
- [4] **GQEE**. Nota técnica 3.2 de P&D desenvolvido pelo GQEE para Eletropaulo. III Workshop sobre Qualidade de Energia Elétrica. Disponível em: <<http://200.196.21.210/download/3wo.ppt>>. Acesso em: 15 julho 2008.
- [5] STEVENSON, Willian D.; **Elementos de Análise de Sistemas de Potência**, McGRAW-HILL do Brasil, 1978
- [6] DUGAN, Roger; McGRANAGHAN, Mark; SANTOSO, Surya; BEATY, Wayne; **Electrical Power Systems Quality**, Second edition, McGraw-Hill, 2003.
- [7] HIROFUMI, A.; WATANABE, E. H.; AREDES, M.; **Instantaneous Power Theory and Applications to Power Conditioning**. IEEE Press Editorial Board, 2007.
- [8] VERMA, Vishal; SINGH, Bhim; CHANDRA, Ambrish; AL-HADDAD, Kamal; **Power Quality Improvement through Active Power Filter Employing Selective Compensation using SFR Theory**. IEEE Trans. on Industrial Electronics, vol. 46, no. 5, pp. 960-971, Oct 1999.
- [9] HOCHGRAF, Clark; LASSETER Robert H.; **STATCOM controls for operation with unbalanced voltages**. IEEE Trans. Power Delivery, vol. 13, no.2, April 1998, pp. 538-544.
- [10] HADDAD, Kévork; JOOS, Geza; **A fast algorithm for voltage unbalance compensation and regulation in faulted distribution systems**. in Conf Rec. IEEE APEC '98. Feb. 1998, New York, USA, pp. 963-969.

- [11] CAVALIERE, C. A. C.; Análise de STATCOM Operando em Sistemas Desbalanceados, Tese de M.Sc., COPPE/UFRJ, Rio de Janeiro, RJ, Brasil, 2001.
- [12] AREDES, Maurício; HAFNER, Jurgen; HEUMANN, Klemens; **Three phase four wire shunt active filter control strategies**. IEEE Trans. Power Electronics, vol. 12, no,2, March 1997, pp. 311-318.
- [13] FEHR, R. E.; **A Novel Approach for Understanding Symmetrical Components and Sequence Networks of Three-Phase Power Systems**. IEEE Press Editorial Board, 2007.
- [14] CHEN, Su; JOOS, Geza; MORAN, Luiz T.; **Dynamic Performance of PWM STATCOMS Operating under Unbalance and Fault Conditions in Distribution Systems**. Power Engineering Society Winter Meeting, 2001. IEEE Volume 2, 28 Jan.-1 Feb. 2001 Page(s):950 - 955 vol.2
- [15] SEDRA, A. S.; SMITH, K. C.; **Microelectronic Circuits**, 5th Ed., Makron Books Ltda., 2003.
- [16] SOUSA, Gilberto C. D.; SIMONETTI, Domingos S. L.; BRUMATTI, Márcio; VENTORINI, Afonso; SOUZA, Aloma M. **Controle de nível e desequilíbrio de tensões em redes secundárias de distribuição através de compensador estático de reativos**. Terceiro relatório parcial. Projeto de pesquisa Escelsa – ANEEL, Ciclo 2005-2006. Vitória, 2007.
- [17] HINGORANI, N. G.; GYUYI, L.; **Understanding FACTS - Concepts and Technology of Flexible AC Transmission Systems**. 1 edn, Institute of Electrical and Electronic Engineers Press Inc., 1999.

APÊNDICE: Códigos Assembly dos programas utilizados no STATCOM

Aqui são apresentadas as rotinas em Linguagem Assembly do programa utilizado para controle lógico, computacional e proteções do STATCOM.

```
*****
* File Name : main.asm
* Junção dos arquivos para execução do controle do STATCOM
* Placa-alvo: EzDsp TMS320LF2407
* Autor: Marcio Brumatti
* Data: 24/08/2007
* Atualizado em: 25/10/2008 por Vinicius Secchin de Melo
*****

        .title      "STATCOM control"

        .include     "2407.inc"
        .include     "inicial.inc"
        .include     "init_evm.inc"
        .include     "calc_arg_v.inc"
        .include     "geravabc.inc"
        .include     "Sintable.inc"
        .include     "filt_lpn.inc"
        .include     "conv_ad.inc"
        .include     "abc_dqs.inc"
        .include     "pll.inc"
        .include     "detec_ipico.inc"
        .include     "controle_corrente.inc"
        .include     "vabc_vdq.inc"
        .include     "gera_seq.inc"
        .include     "parametros.inc"
        .include     "serial.inc"
        .include     "protecao.inc"
        .include     "tx_pc.inc"
        .include     "tx_ihm.inc"
        .include     "Captura_dados.inc"
        .include     "tab_atan.inc"
        .include     "Retpolar.inc"
        .include     "raiz_div.inc"
        .include     "calc_pot.inc"
        .include     "controle.inc"
        .include     "svpwm.inc"
        .include     "svmtab.inc"
        .include     "pwmsenoidal.inc"
        .include     "controladores.inc"
        .include     "compensavde.inc"
        .include     "int.inc"

        B            START      ;inicializa DSP

Begin_
        CALL         InitEVM     ;configura PWM
        CLRC         INTM       ;Habilita interrupcoes

MLoop:
                                ;Main Loop

        B            MLoop     ;salta para inicio do Loop

        .end

*****
* Include 2407
*****
; 240x CPU core registers
IMR      .set        0004h      ; Interrupt Mask Register
IFR      .set        0006h      ; Interrupt Flag Register

; System configuration and interrupt registers
SCSR1    .set        7018h      ; System Control & Status register. 1
SCSR2    .set        7019h      ; System Control & Status register. 2
DINR     .set        701Ch      ; Device Identification Number register.
PIVR     .set        701Eh      ; Peripheral Interrupt Vector register.
PIRQR0   .set        7010h      ; Peripheral Interrupt Request register 0
PIRQR1   .set        7011h      ; Peripheral Interrupt Request register 1
PIRQR2   .set        7012h      ; Peripheral Interrupt Request register 2
PIACKR0  .set        7014h      ; Peripheral Interrupt Acknowledge register 0
PIACKR1  .set        7015h      ; Peripheral Interrupt Acknowledge register 1
PIACKR2  .set        7016h      ; Peripheral Interrupt Acknowledge register 2

; External interrupt configuration registers
XINT1CR  .set        7070h      ; External interrupt 1 control register
XINT2CR  .set        7071h      ; External interrupt 2 control register

; Digital I/O registers
MCRA     .set        7090h      ; I/O Mux Control Register A
MCRB     .set        7092h      ; I/O Mux Control Register B
MCRC     .set        7094h      ; I/O Mux Control Register C
PADATDIR .set        7098h      ; I/O port A Data & Direction register
PBDATDIR .set        709Ah      ; I/O port B Data & Direction register
PCDATDIR .set        709Ch      ; I/O port C Data & Direction register
PDDATDIR .set        709Eh      ; I/O port D Data & Direction register
PEDATDIR .set        7095h      ; I/O port E Data & Direction register
PFDATDIR .set        7096h      ; I/O port F Data & Direction register
```

```

; Watchdog (WD) registers
WDCNTR      .set      7023h      ; WD Counter register
WDKEY       .set      7025h      ; WD Key register
WDCR        .set      7029h      ; WD Control register

; ADC registers
ADCTRL1     .set 70A0h ; ADC Control register 1
ADCTRL2     .set 70A1h ; ADC Control register 2
MAXCONV     .set 70A2h ; Maximum conversion channels register
CHSELSEQ1   .set 70A3h ; Channel select Sequencing control register 1
CHSELSEQ2   .set 70A4h ; Channel select Sequencing control register 2
CHSELSEQ3   .set 70A5h ; Channel select Sequencing control register 3
CHSELSEQ4   .set 70A6h ; Channel select Sequencing control register 4
AUTO_SEQ_SR .set 70A7h ; Auto sequence status register
RESULT0     .set 70A8h ; Conversion result register 0
RESULT1     .set 70A9h ; Conversion result register 1
RESULT2     .set 70Aah ; Conversion result register 2
RESULT3     .set 70Abh ; Conversion result register 3
RESULT4     .set 70Ach ; Conversion result register 4
RESULT5     .set 70Adh ; Conversion result register 5
RESULT6     .set 70Aeh ; Conversion result register 6
RESULT7     .set 70Afh ; Conversion result register 7
RESULT8     .set 70B0h ; Conversion result register 8
RESULT9     .set 70B1h ; Conversion result register 9
RESULT10    .set 70B2h ; Conversion result register 10
RESULT11    .set 70B3h ; Conversion result register 11
RESULT12    .set 70B4h ; Conversion result register 12
RESULT13    .set 70B5h ; Conversion result register 13
RESULT14    .set 70B6h ; Conversion result register 14
RESULT15    .set 70B7h ; Conversion result register 15
CALIBRATION .set 70B8h ; Calibration result, used to correct

; subsequent conversions

; SPI registers
SPICCR      .set 7040h ; SPI Config Control register
SPICTL      .set 7041h ; SPI Operation Control register
SPISTS      .set 7042h ; SPI Status register
SPIBRR      .set 7044h ; SPI Baud rate control register
SPIRXEMU    .set 7046h ; SPI Emulation buffer register
SPIRXBUF    .set 7047h ; SPI Serial receive buffer register
SPITXBUF    .set 7048h ; SPI Serial transmit buffer register
SPIDAT      .set 7049h ; SPI Serial data register
SPIPRI      .set 704Fh ; SPI Priority control register

; SCI registers
SCICCR      .set 7050h ; SCI Communication control register
SCICTL1     .set 7051h ; SCI Control register 1
SCIHBAUD    .set 7052h ; SCI Baud Rate MS byte register
SCILBAUD    .set 7053h ; SCI Baud Rate LS byte register
SCICTL2     .set 7054h ; SCI Control register 2
SCIRXST     .set 7055h ; SCI Receiver Status register
SCIRXEMU    .set 7056h ; SCI Emulation Data Buffer register
SCIRXBUF    .set 7057h ; SCI Receiver Data buffer register
SCITXBUF    .set 7059h ; SCI Transmit Data buffer register
SCIPRI      .set 705Fh ; SCI Priority control register

; Event Manager A (EVA) registers
GPTCONA     .set 7400h ; GP Timer control register A
T1CNT       .set 7401h ; GP Timer 1 counter register
T1CMPR      .set 7402h ; GP Timer 1 compare register
T1PR        .set 7403h ; GP Timer 1 period register
T1CON       .set 7404h ; GP Timer 1 control register
T2CNT       .set 7405h ; GP Timer 2 counter register
T2CMPR      .set 7406h ; GP Timer 2 compare register
T2PR        .set 7407h ; GP Timer 2 period register
T2CON       .set 7408h ; GP Timer 2 control register
COMCONA     .set 7411h ; Compare control register A
ACTRA       .set 7413h ; Full compare Action control register A
DBTCONA     .set 7415h ; Dead-band timer control register A
CMPR1       .set 7417h ; Full compare unit compare register1
CMPR2       .set 7418h ; Full compare unit compare register2
CMPR3       .set 7419h ; Full compare unit compare register3
CAPCONA     .set 7420h ; Capture control register A
CAPFIFOA    .set 7422h ; Capture FIFO status register A
CAP1FIFO    .set 7423h ; Capture Channel 1 FIFO Top
CAP2FIFO    .set 7424h ; Capture Channel 2 FIFO Top
CAP3FIFO    .set 7425h ; Capture Channel 3 FIFO Top
CAP1FBOT    .set 7427h ; Bottom reg. of capture FIFO stack 1
CAP2FBOT    .set 7428h ; Bottom reg. of capture FIFO stack 2
CAP3FBOT    .set 7429h ; Bottom reg. of capture FIFO stack 3
EVAIMRA     .set 742Ch ; Group A Interrupt Mask Register
EVAIMRB     .set 742Dh ; Group B Interrupt Mask Register
EVAIMRC     .set 742Eh ; Group C Interrupt Mask Register
EVAIFRA     .set 742Fh ; Group A Interrupt Flag Register
EVAIFRB     .set 7430h ; Group B Interrupt Flag Register
EVAIFRC     .set 7431h ; Group C Interrupt Flag Register

; Event Manager B (EVB) registers
GPTCONB     .set 7500h ; GP Timer control register B
T3CNT       .set 7501h ; GP Timer 3 counter register
T3CMPR      .set 7502h ; GP Timer 3 compare register
T3PR        .set 7503h ; GP Timer 3 period register
T3CON       .set 7504h ; GP Timer 3 control register
T4CNT       .set 7505h ; GP Timer 4 counter register
T4CMPR      .set 7506h ; GP Timer 4 compare register
T4PR        .set 7507h ; GP Timer 4 period register
T4CON       .set 7508h ; GP Timer 4 control register
COMCONB     .set 7511h ; Compare control register B
ACTRB       .set 7513h ; Full compare Action control register B
DBTCONB     .set 7515h ; Dead-band timer control register B
CMPR4       .set 7517h ; Full compare unit compare register4
CMPR5       .set 7518h ; Full compare unit compare register5
CMPR6       .set 7519h ; Full compare unit compare register6
CAPCONB     .set 7520h ; Capture control register B

```

```

CAPFIFOB          .set 7522h    ; Capture FIFO status register B
CAP4FIFO          .set 7523h    ; Capture Channel 4 FIFO Top
CAP5FIFO          .set 7524h    ; Capture Channel 5 FIFO Top
CAP6FIFO          .set 7525h    ; Capture Channel 6 FIFO Top
CAP4FBOT          .set 7527h    ; Bottom reg. of capture FIFO stack 4
CAP5FBOT          .set 7527h    ; Bottom reg. of capture FIFO stack 5
CAP6FBOT          .set 7527h    ; Bottom reg. of capture FIFO stack 6
EVBIMRA          .set 752Ch     ; Group A Interrupt Mask Register
EVBIMRB          .set 752Dh     ; Group B Interrupt Mask Register
EVBIMRC          .set 752Eh     ; Group C Interrupt Mask Register
EVBIFRA          .set 752Fh     ; Group A Interrupt Flag Register
EVBIFRB          .set 7530h     ; Group B Interrupt Flag Register
EVBIFRC          .set 7531h     ; Group C Interrupt Flag Register

; CAN registers
CANMDER          .set 7100h     ; CAN Mailbox Direction/Enable register
CANTCR          .set 7101h     ; CAN Transmission Control register
CANRCR          .set 7102h     ; CAN Recieve Control register
CANMCR          .set 7103h     ; CAN Master Control register
CANBCR2          .set 7104h     ; CAN Bit Config register 2
CANBCR1          .set 7105h     ; CAN Bit Config register 1
CANESR          .set 7106h     ; CAN Error Status register
CANGSR          .set 7107h     ; CAN Global Status register
CANCEC          .set 7108h     ; CAN Trans and Rcv Err counters
CANIFR          .set 7109h     ; CAN Interrupt Flag Register
CANIMR          .set 710Ah     ; CAN Interrupt Mask Register
CANLAM0H         .set 710bh     ; CAN Local Acceptance Mask MBX0/1
CANLAM0L         .set 710ch     ; CAN Local Acceptance Mask MBX0/1
CANLAM1H         .set 710dh     ; CAN Local Acceptance Mask MBX2/3
CANLAM1L         .set 710eh     ; CAN Local Acceptance Mask MBX2/3
CANMSGID0L       .set 7200h     ; CAN Message ID for mailbox 0 (lower 16 bits)
CANMSGID0H       .set 7201h     ; CAN Message ID for mailbox 0 (upper 16 bits)
CANMSGCTRL0      .set 7202h     ; CAN RTR and DLC
CANMBX0A         .set 7204h     ; CAN 2 of 8 bytes of Mailbox 0
CANMBX0B         .set 7205h     ; CAN 2 of 8 bytes of Mailbox 0
CANMBX0C         .set 7206h     ; CAN 2 of 8 bytes of Mailbox 0
CANMBX0D         .set 7207h     ; CAN 2 of 8 bytes of Mailbox 0
CANMSGID1L       .set 7208h     ; CAN Message ID for mailbox 1 (lower 16 bits)
CANMSGID1H       .set 7209h     ; CAN Message ID for mailbox 1 (upper 16 bits)
CANMSGCTRL1      .set 720Ah     ; CAN RTR and DLC
CANMBX1A         .set 720Ch     ; CAN 2 of 8 bytes of Mailbox 1
CANMBX1B         .set 720Dh     ; CAN 2 of 8 bytes of Mailbox 1
CANMBX1C         .set 720Eh     ; CAN 2 of 8 bytes of Mailbox 1
CANMBX1D         .set 720Fh     ; CAN 2 of 8 bytes of Mailbox 1
CANMSGID2L       .set 7210h     ; CAN Message ID for mailbox 2 (lower 16 bits)
CANMSGID2H       .set 7211h     ; CAN Message ID for mailbox 2 (upper 16 bits)
CANMSGCTRL2      .set 7212h     ; CAN RTR and DLC
CANMBX2A         .set 7214h     ; CAN 2 of 8 bytes of Mailbox 2
CANMBX2B         .set 7215h     ; CAN 2 of 8 bytes of Mailbox 2
CANMBX2C         .set 7216h     ; CAN 2 of 8 bytes of Mailbox 2
CANMBX2D         .set 7217h     ; CAN 2 of 8 bytes of Mailbox 2
CANMSGID3L       .set 7218h     ; CAN Message ID for mailbox 3 (lower 16 bits)
CANMSGID3H       .set 7219h     ; CAN Message ID for mailbox 3 (upper 16 bits)
CANMSGCTRL3      .set 721Ah     ; CAN RTR and DLC
CANMBX3A         .set 721Ch     ; CAN 2 of 8 bytes of Mailbox 3
CANMBX3B         .set 721Dh     ; CAN 2 of 8 bytes of Mailbox 3
CANMBX3C         .set 721Eh     ; CAN 2 of 8 bytes of Mailbox 3
CANMBX3D         .set 721Fh     ; CAN 2 of 8 bytes of Mailbox 3
CANMSGID4L       .set 7220h     ; CAN Message ID for mailbox 4 (lower 16 bits)
CANMSGID4H       .set 7221h     ; CAN Message ID for mailbox 4 (upper 16 bits)
CANMSGCTRL4      .set 7222h     ; CAN RTR and DLC
CANMBX4A         .set 7224h     ; CAN 2 of 8 bytes of Mailbox 4
CANMBX4B         .set 7225h     ; CAN 2 of 8 bytes of Mailbox 4
CANMBX4C         .set 7226h     ; CAN 2 of 8 bytes of Mailbox 4
CANMBX4D         .set 7227h     ; CAN 2 of 8 bytes of Mailbox 4
CANMSGID5L       .set 7228h     ; CAN Message ID for mailbox 5 (lower 16 bits)
CANMSGID5H       .set 7229h     ; CAN Message ID for mailbox 5 (upper 16 bits)
CANMSGCTRL5      .set 722Ah     ; CAN RTR and DLC
CANMBX5A         .set 722Ch     ; CAN 2 of 8 bytes of Mailbox 5
CANMBX5B         .set 722Dh     ; CAN 2 of 8 bytes of Mailbox 5
CANMBX5C         .set 722Eh     ; CAN 2 of 8 bytes of Mailbox 5
CANMBX5D         .set 722Fh     ; CAN 2 of 8 bytes of Mailbox 5

; Code security module (CSM) registers (Data memory)
KEY3             .set 77F0h     ; High word of the 64-bit KEY register
KEY2             .set 77F1h     ; Third word of the 64-bit KEY register
KEY1             .set 77F2h     ; Second word of the 64-bit KEY register
KEY0             .set 77F3h     ; Low word of the 64-bit KEY register

; Code security module (CSM) registers (Program memory)
PWL3             .set 0040h     ; High word of the 64 bit password
PWL2             .set 0041h     ; Third word of the 64 bit password
PWL1             .set 0042h     ; Second word of the 64 bit password
PWL0             .set 0043h     ; Low word of the 64 bit password

; I/O space mapped registers
WSGR             .set 0FFFFh    ; Wait-State Generator Control register
FCMR             .set 0FF0Fh    ; Flash control mode register

; Bit codes for Test bit instruction (BIT) (15 Loads bit 0 into TC)
BIT15            .set 0000h     ; Bit Code for 15
BIT14            .set 0001h     ; Bit Code for 14
BIT13            .set 0002h     ; Bit Code for 13
BIT12            .set 0003h     ; Bit Code for 12
BIT11            .set 0004h     ; Bit Code for 11
BIT10            .set 0005h     ; Bit Code for 10
BIT9             .set 0006h     ; Bit Code for 9
BIT8             .set 0007h     ; Bit Code for 8
BIT7             .set 0008h     ; Bit Code for 7
BIT6             .set 0009h     ; Bit Code for 6
BIT5             .set 000Ah     ; Bit Code for 5

```

```

BIT4                .set 000Bh    ; Bit Code for 4
BIT3                .set 000Ch    ; Bit Code for 3
BIT2                .set 000Dh    ; Bit Code for 2
BIT1                .set 000Eh    ; Bit Code for 1
BIT0                .set 000Fh    ; Bit Code for 0

;*****
* File Name : inicial.inc
* Inicializacao geral do DSP e da placa Ezdsp.
* Contem a declaracao de todas as variaveis e constantes usadas
* no programa de controle do STATCOM.
* Autor: Marcio Brumatti
* Data: 24/08/2007
* Atualizado em: 28/08/2008 por Vinicius Secchin de Melo
;*****

; Registradores Mapeados em Memoria

; Declaracao de Constantes usadas no programa

;paginas de memória
DP_EVA                .set        232
DP_DGCR              .set        225
DP_ADC               .set        225
DP_SCI               .set        224
DP_SYS               .set        224
DP_IO                .set        225

;constantes
menos120              .set        43690
mais120              .set        21845
zero                  .set         0
mais90               .set       16384
menos30              .set       60075
menos150             .set       38229
ipico_nom            .set        27400      ;27400=>Ipico=11,2A
Inv_Di               .set       22368      ;utilizado no cálculo de k_lim_i novo, sendo:
                                           ;=[(32767/lim_Di)/2^4]*32767
lim_Di               .set        3000      ;=Ips-In
k1div100             .set         327
k99div100            .set       32439

;escala de tensão utilizada -> 152,03 bits/Vpico
ganhovak             .set       16707
ganhovbk             .set       16930
ganhovck             .set       16775

; Ac, Bc, Cc e Dc -> variáveis do filtro passa-baixas
; utilizado em detecta ipico (atraso de 10ms)

Ac                   .set        28165
Bc                   .set        4603
Cc                   .set       30467
Dc                   .set        2301

;constantes usadas no sv pwm
;detalhes:ver caderno de notas n°2,pag2
SVPWM_SEC1          .set       01999h    ; ccw 001
SVPWM_SEC2          .set       0a999h    ; cw 010
SVPWM_SEC3          .set       02999h    ; ccw 010
SVPWM_SEC4          .set       0c999h    ; cw 100
SVPWM_SEC5          .set       04999h    ; ccw 100
SVPWM_SEC6          .set       09999h    ; cw 001

;constantes para usar sempre sentido anti-horario
;SVPWM_SEC1          .set       01666h    ; cw 001
;SVPWM_SEC2          .set       03666h    ; cw 011
;SVPWM_SEC3          .set       02666h    ; cw 010
;SVPWM_SEC4          .set       06666h    ; cw 110
;SVPWM_SEC5          .set       04666h    ; cw 100
;SVPWM_SEC6          .set       05666h    ; cw 101

THETA60A             .set        02aaah
THETA60B             .set        02aabh

;-----
;modos de operação
MOD0_INICIANDO       .set         0
MOD0_STANDBY         .set         1
MOD0_PREPARA         .set         2
MOD0_CARGAVDC        .set         3
MOD0_OPERANDO        .set         4
MOD0_SAIR            .set         5
MOD0_ALERTA          .set         6
MOD0_DESABILITADO    .set         7
MOD0_PARAMETRIZAR    .set         8
MOD0_AQUECIMENTO     .set         9

;-----
; Declaracao de Variaveis alocadas em blocos de RAM
;-----
;PAGINA 0 (60h a 7Fh)
;60h a 66h usando para salvar contexto. Ver rotina int.asm
vec_ID               .set        0067h    ;identificacao de interrupcao
GPR0                 .set        0068h    ;wait states generation

;*****
;PAGINA 4 (200h a 27Fh) 118 variáveis declaradas
;definido em memmap.cmd como "data1"

;variaveis para teste interno
va                   .usect        "data1",1 ;tensao va para teste interno
vb                   .usect        "data1",1 ;tensao vb para teste interno

```


vc	.usect	"data1",1	;tensao vc para teste interno
teta	.usect	"data1",1	;angulo teta (high) usado para geracao de vabc
teta_L	.usect	"data1",1	;usado para melhorar a precisao da freq. gerada
tetaplot	.usect	"data1",1	;angulo teta limitado em 11bits
modv1	.usect	"data1",1	;modulo da tensao vabc seq+ p/ teste interno
modv2	.usect	"data1",1	;modulo da tensao vabc seq- p/ teste interno
modv3	.usect	"data1",1	;modulo da tensao vabc seq0 p/ teste interno
fi1	.usect	"data1",1	;angulo de fase de vabc seq+ p/ teste interno - 10°
fi2	.usect	"data1",1	;angulo de fase de vabc seq- p/ teste interno
fi3	.usect	"data1",1	;angulo de fase de vabc seq0 p/ teste interno
teta_a_pos	.usect	"data1",1	;argumentos das tensoes vabc +-0
teta_b_pos	.usect	"data1",1	;usados na geracao de vabc para teste,
teta_c_pos	.usect	"data1",1	;e também na composicao das tensoes vabc
teta_a_neg	.usect	"data1",1	;a partir de v +-0 e fi +-0
teta_b_neg	.usect	"data1",1	
teta_c_neg	.usect	"data1",1	
teta_0	.usect	"data1",1	
;leitura dos sinais vabc: escala 152,03 bits/Vpico			
sinalva	.usect	"data1",1	;sinal va lido no ad - 20°
sinalvb	.usect	"data1",1	;sinal vb lido no ad
sinalvc	.usect	"data1",1	;sinal vc lido no ad
sinalvabc	.usect	"data1",1	;soma dos sinais va, vb e vc
			;usada na detecção de falta de fase
sinalvax	.usect	"data1",1	;utilizados para teste
sinalvbx	.usect	"data1",1	;saida do CAD
sinalvex	.usect	"data1",1	;tensões lidas com offset
offset_va	.usect	"data1",1	;offset da tensao va
soma_va_H	.usect	"data1",1	;soma de va para calcular offset
soma_va_L	.usect	"data1",1	;
offset_vb	.usect	"data1",1	; - 30°
soma_vb_H	.usect	"data1",1	
soma_vb_L	.usect	"data1",1	
offset_vc	.usect	"data1",1	
soma_vc_H	.usect	"data1",1	
soma_vc_L	.usect	"data1",1	
cont_offset	.usect	"data1",1	;contador para soma de v
;PLL			
tetapll	.usect	"data1",1	;angulo teta (11bits) obtido pelo pll
tetapll_H	.usect	"data1",1	;parte H de teta gerado no pll
tetapll_L	.usect	"data1",1	;parte L de teta gerado no pll
cos_teta	.usect	"data1",1	;cosseno de tetapll
sen_teta	.usect	"data1",1	;seno de tetapll
valfa	.usect	"data1",1	;usado no pll
vbeta	.usect	"data1",1	;usado no pll - 40
q_h	.usect	"data1",1	;usado no pll
q_l	.usect	"data1",1	;usado no pll
erropll	.usect	"data1",1	;sinal de erro usado no pll
erropll_ant	.usect	"data1",1	;erro anterior do pll
u_pll_h	.usect	"data1",1	;termo integral H do PI pll
u_pll_l	.usect	"data1",1	;termo integral L do PI pll
kiT_pll	.usect	"data1",1	;Ki*Ts do PI do pll
kp_pll	.usect	"data1",1	;kp do PI pll
Ts	.usect	"data1",1	;tempo de amostragem
freq	.usect	"data1",1	;frequencia angular obtida pelo pll - 50
;matriz de transformação abc -> dq			
kabc_dq1	.usect	"data1",1	;fator da matriz abc para dq
kabc_dq2	.usect	"data1",1	;fator da matriz abc para dq
kabc_dq3	.usect	"data1",1	;fator da matriz abc para dq
;tensões no ref. dq			
vqa_sf	.usect	"data1",1	;sinais de tensao dq nao filtrados
vda_sf	.usect	"data1",1	;obtidos no processo heterodyning
vqb_sf	.usect	"data1",1	
vdb_sf	.usect	"data1",1	
vqc_sf	.usect	"data1",1	
vdc_sf	.usect	"data1",1	
vqpos	.usect	"data1",1	;sinais dq + - 0 - 60
vdpos	.usect	"data1",1	
vqneg	.usect	"data1",1	
vdneg	.usect	"data1",1	
vq0	.usect	"data1",1	
vd0	.usect	"data1",1	
vpos	.usect	"data1",1	;modulo das componentes simetricas
vneg	.usect	"data1",1	
v0	.usect	"data1",1	
fipos	.usect	"data1",1	;angulos de fase das sequencias
fineg	.usect	"data1",1	; - 70
fi0	.usect	"data1",1	
;rotinas de divisao e raiz			
dtemp	.usect	"data1",1	
qtemp	.usect	"data1",1	
ftemp	.usect	"data1",1	
numera	.usect	"data1",1	
denomi	.usect	"data1",1	
quot	.usect	"data1",1	
meio	.usect	"data1",1	
aux	.usect	"data1",1	
auxv	.usect	"data1",1	; - 80
;sinais para o inversor			
va_out	.usect	"data1",1	;sinais vabc de saida para o inversor
vb_out	.usect	"data1",1	
vc_out	.usect	"data1",1	
fipos_out	.usect	"data1",1	
fineg_out	.usect	"data1",1	
fi0_out	.usect	"data1",1	
vpos_out	.usect	"data1",1	;sinais v+-0 de saida
vneg_out	.usect	"data1",1	;já compensados por kinv

```

v0_out                .usect      "data1",1

;pwm senoidal
saida1                .usect      "data1",1      ; - 90
saida2                .usect      "data1",1
saida3                .usect      "data1",1

;controle de vcc
vcap1                 .usect      "data1",1      ;sinal vcap1 lido no ad
vcap2                 .usect      "data1",1      ;sinal vcap2 lido no ad
vcc_ref               .usect      "data1",1      ;ref. de tensao vcc(1/2vcc)
vcc_ref_L             .usect      "data1",1      ;parte L da ref. (útil na rampa)
vcc                   .usect      "data1",1      ;(vcap1+vcap2)/2
vcc_refn              .usect      "data1",1      ;tensão de referência nominal
kp_vcc               .usect      "data1",1      ;ganho P da malha de vcc
ki_vcc               .usect      "data1",1      ;ganho I da malha de vcc - 100
u_vcc_h              .usect      "data1",1      ;termo integral da malha de vcc
u_vcc_l              .usect      "data1",1      ;termo integral da malha de vcc
erro_vcc              .usect      "data1",1      ;erro de vcc
dfi_pos              .usect      "data1",1      ;angulo de defasagem gerado pelo controle
lim_dfi_pos          .usect      "data1",1      ;saturação de delta fi
apb2                 .usect      "data1",1
bpb2                 .usect      "data1",1
xvcc                 .usect      "data1",1
vcc2                 .usect      "data1",1
vcc_lpn              .usect      "data1",1      ; - 110

;compensação do inversor
kinv2                .usect      "data1",1      ;ganho do inversor
kinv                 .usect      "data1",1      ;ganho do inversor
lim_vpos             .usect      "data1",1
lim_vneg             .usect      "data1",1
lim_v0               .usect      "data1",1
defasamento         .usect      "data1",1      ;defasamento existente no processo
ganhova              .usect      "data1",1      ;de leitura, condicionamento e processamento
ganhovb              .usect      "data1",1
ganhovc              .usect      "data1",1

*****
;PAGINA 5 (280h a 2FFh)
;definido em memmap.cmd como "data2"

x2_qa                .usect      "data2",1      ;estados dos filtros
x1_qa                .usect      "data2",1      ;usa DMOV, portanto x2 deve estar antes de x1
x2_da                .usect      "data2",1
x1_da                .usect      "data2",1
x2_qb                .usect      "data2",1
x1_qb                .usect      "data2",1
x2_db                .usect      "data2",1
x1_db                .usect      "data2",1
x2_qc                .usect      "data2",1
x1_qc                .usect      "data2",1
x2_dc                .usect      "data2",1
x1_dc                .usect      "data2",1
x2_Lqa               .usect      "data2",1      ;estados dos filtros
x1_Lqa               .usect      "data2",1
x2_Lda               .usect      "data2",1
x1_Lda               .usect      "data2",1
x2_Lqb               .usect      "data2",1
x1_Lqb               .usect      "data2",1
x2_Ldb               .usect      "data2",1
x1_Ldb               .usect      "data2",1
x2_Lqc               .usect      "data2",1
x1_Lqc               .usect      "data2",1
x2_Ldc               .usect      "data2",1
x1_Ldc               .usect      "data2",1

CL                   .usect      "data2",1
CH                   .usect      "data2",1
DL                   .usect      "data2",1
DH                   .usect      "data2",1
a1                   .usect      "data2",1      ;constantes do filtro
k1                   .usect      "data2",1
k2                   .usect      "data2",1
b2                   .usect      "data2",1
b3                   .usect      "data2",1
b1                   .usect      "data2",1
limite1              .usect      "data2",1      ;usado no filtro
limite2              .usect      "data2",1      ;usado no filtro
meio5                .usect      "data2",1      ;usado dentro na pag5

limite5              .usect      "data2",1
x2_Lvdc              .usect      "data2",1
x1_Lvdc              .usect      "data2",1
x2_vdc               .usect      "data2",1
x1_vdc               .usect      "data2",1

a1_vdc               .usect      "data2",1
a2_vdc               .usect      "data2",1
c1_vdc               .usect      "data2",1
c2_vdc               .usect      "data2",1
d1_vdc               .usect      "data2",1
b1_vdc               .usect      "data2",1

apb                  .usect      "data2",1
bpb                  .usect      "data2",1
x3_qa                .usect      "data2",1
x3_da                .usect      "data2",1
x3_qb                .usect      "data2",1

```

```

x3_db      .usect      "data2",1
x3_qc      .usect      "data2",1
x3_dc      .usect      "data2",1
vqa_2      .usect      "data2",1
vda_2      .usect      "data2",1
vqb_2      .usect      "data2",1
vdb_2      .usect      "data2",1
vqc_2      .usect      "data2",1
vdc_2      .usect      "data2",1

vqa         .usect      "data2",1      ;sinais de tensao dq filtrados
vda         .usect      "data2",1
vqb         .usect      "data2",1
vdb         .usect      "data2",1
vqc         .usect      "data2",1
vdc         .usect      "data2",1

umdiv3      .usect      "data2",1
umdiv6      .usect      "data2",1
r3div6      .usect      "data2",1
umdiv12     .usect      "data2",1
r3div12     .usect      "data2",1
limite3     .usect      "data2",1
limite4     .usect      "data2",1

;PAGINA 6 (300h a 27Fh)

;definido em memmap.cmd como "data3"

modo         .usect      "data3",1      ;modo de operação do STATCOM
delay        .usect      "data3",1      ;delays usados na transição dos modos
delay2       .usect      "data3",1
delay3       .usect      "data3",1
intpdp       .usect      "data3",1      ;teste
flaginit     .usect      "data3",1      ;flag que indica inicialização
stat_ctl     .usect      "data3",1      ;flag de status de controle,
                                           ;verifica necessidade de compensar as seq
                                           ;BIT0 = 1 -> compensar seq+
                                           ;BIT1 = 1 -> compensar seq-
                                           ;BIT2 = 1 -> compensar seq0

;parametrização
checksum     .usect      "data3",1
cfg_comp     .usect      "data3",1      ;carrega dados de parametrização
                                           ;contém os parâmetros p00, p01, p02, p03
                                           ;BIT4 -> Ação de LIGAR: 1 operar e 0 parar
                                           ;BIT3 -> p00 - Modo ao energizar:
                                           ;      - 1 habilitado e 0 desabilitado
                                           ;BIT0 -> p01 - 1 dq deseja compensar seq+
                                           ;BIT1 -> p02 - 1 dq deseja compensar seq-
                                           ;BIT2 -> p03 - 1 dq deseja compensar seq0

hbt_comp     .usect      "data3",1      ;flag que representa o sinal de habilitação
                                           ;de controle a ser tomado no instante atual
                                           ;= stat_ctl AND cfg_comp

;leitura dos sinais iabc
sinalia      .usect      "data3",1      ;sinal ia lido no ad
sinalib      .usect      "data3",1      ;sinal ib lido no ad
sinalic      .usect      "data3",1      ;sinal ic lido no ad
ineutro      .usect      "data3",1      ;corrente de neutro=ia+ib+ic
iabc         .usect      "data3",1
iabc2        .usect      "data3",1

imaxtemp     .usect      "data3",1
contdec      .usect      "data3",1
contcre      .usect      "data3",1
ipico        .usect      "data3",1      ;20° variável
ipico_filt   .usect      "data3",1
itemp        .usect      "data3",1
k_lim_i      .usect      "data3",1
pot          .usect      "data3",1

;controle das sequencias
novamedia    .usect      "data3",1
k1div20      .usect      "data3",1
k19div20     .usect      "data3",1
aux1         .usect      "data3",1      ;utilizada no cálculo da reta de regulação
aux2         .usect      "data3",1      ;utilizada no cálculo da reta de regulação
aux6         .usect      "data3",1      ;30° variável
vpos_med     .usect      "data3",1

;seq. positiva
vpos_ctl     .usect      "data3",1      ;sinais de controle sem compensação
vpos_ref     .usect      "data3",1
xk           .usect      "data3",1      ;xk e uk -> variáveis utilizadas no
uk           .usect      "data3",1      ;filtro de atraso em ipico
A            .usect      "data3",1
B            .usect      "data3",1
C            .usect      "data3",1
D            .usect      "data3",1
meio6        .usect      "data3",1
nao_existe   .usect      "data3",1
lim_dvpos    .usect      "data3",1
dvpos_max    .usect      "data3",1
dvpos_aux    .usect      "data3",1
kp_pos       .usect      "data3",1
ki_pos       .usect      "data3",1
vposrefmin   .usect      "data3",1
vposrefmax   .usect      "data3",1
vposzminf    .usect      "data3",1
vposzmsup    .usect      "data3",1
vposk        .usect      "data3",1
alfapos      .usect      "data3",1
dvposmin     .usect      "data3",1

```

dvposmed	.usect	"data3",1	
dvpos_soma	.usect	"data3",1	
contdvmin	.usect	"data3",1	
u_vpos_h	.usect	"data3",1	;termo integral da malha de vpos
u_vpos_l	.usect	"data3",1	;termo integral da malha de vpos
dvpos	.usect	"data3",1	
erro_vpos	.usect	"data3",1	
contador1	.usect	"data3",1	
contador2	.usect	"data3",1	
inv_dvpos	.usect	"data3",1	
;seq. negativa			
vneg_ctl	.usect	"data3",1	
vneg_ref	.usect	"data3",1	
erro_vneg	.usect	"data3",1	
lim_dvneg	.usect	"data3",1	
dvneg_max	.usect	"data3",1	
kp_neg	.usect	"data3",1	
ki_neg	.usect	"data3",1	
u_vneg_h	.usect	"data3",1	;termo integral da malha de vneg
u_vneg_l	.usect	"data3",1	;termo integral da malha de vneg
dvneg	.usect	"data3",1	
vnegzm	.usect	"data3",1	
dvnegmed	.usect	"data3",1	
dvneg_soma	.usect	"data3",1	
contdvmin2	.usect	"data3",1	
dvnegmin	.usect	"data3",1	
;seq. zero			
v0_ctl	.usect	"data3",1	
v0_ref	.usect	"data3",1	
erro_v0	.usect	"data3",1	
lim_dv0	.usect	"data3",1	
dv0_max	.usect	"data3",1	
kp_0	.usect	"data3",1	
ki_0	.usect	"data3",1	
u_v0_h	.usect	"data3",1	;termo integral da malha de v0
u_v0_l	.usect	"data3",1	;termo integral da malha de v0
dv0	.usect	"data3",1	
v0zm	.usect	"data3",1	
dv0med	.usect	"data3",1	
dv0_soma	.usect	"data3",1	
contdvmin3	.usect	"data3",1	
dv0min	.usect	"data3",1	
;comunicação serial			
trans_buf	.usect	"data3",1	;variáveis usadas no buffer
aux_buf	.usect	"data3",1	
carrega_buf	.usect	"data3",1	
cont_buf	.usect	"data3",1	
trans_HouL	.usect	"data3",1	
n_rx	.usect	"data3",1	
time_out	.usect	"data3",1	
status_rx	.usect	"data3",1	
status_tx	.usect	"data3",1	
time_out_tx	.usect	"data3",1	
trans_msn	.usect	"data3",1	
trans_data	.usect	"data3",1	
mensagem	.usect	"data3",1	;enviado do DSP para o PIC, sendo: ;código 50 = seq. de fase invertida ;código 90 = solicita parâmetros ;código 150 = falha de comunicação ;código 250 = confirmação de parâmetros OK
;erro_tst			
n_tx	.usect	"data3",1	
delay_data	.usect	"data3",1	
errormsg	.usect	"data3",1	;msg de erro na comunicação serial, sendo: ;BIT 0 (Erro07) -> Inversor Desabilitado ;BIT 1 (Erro02) -> Curto-circuito ;no braço do inversor ;BIT 2 (Erro01) -> sobre-corrente ;BIT 3 (Erro04) -> parada de emergência ;BIT 4 (Erro03) -> sobre-tensão CC ;BIT 5 (Erro04) -> falta de fase ;BIT 6 (Erro05) -> afundamento excessivo ;em uma fase ;BIT 7 (Erro06) -> sobre-aquecimento
subtensao	.usect	"data3",1	;flag utilizado na rotina testa_subtensao
;variáveis auxiliares no cálculo da média da tensão na rotina testa_subtensao			
delay4	.usect	"data3",1	
delay5	.usect	"data3",1	
vpos_aux	.usect	"data3",1	
;variáveis modo alerta			
trip_ctr	.usect	"data3",1	;conta o n° de falhas de sobretensão
atraso1	.usect	"data3",1	;atraso na inicialização do DSP ;após a 1ª falha (1s)
atraso2	.usect	"data3",1	;atraso na inicialização do DSP ;após a 2ª falha (50s)
atraso3	.usect	"data3",1	;atraso na inicialização do DSP ;após a 3ª falha (110s)
zera_trip1	.usect	"data3",1	;contador auxiliar para zerar o trip_ctr
zera_trip2	.usect	"data3",1	;contador auxiliar para zerar o trip_ctr
;space vector pwm			
vqs_out	.usect	"data3",1	
vds_out	.usect	"data3",1	
vs_out	.usect	"data3",1	

```

fis_out          .usect      "data3",1
t_svm            .usect      "data3",1
ampl_svm         .usect      "data3",1
sector           .usect      "data3",1
time1            .usect      "data3",1
time2            .usect      "data3",1

;PAGINA 7 (380h a 3FF)
;definido em memmap.cmd como "data4"
;parametrização
par_aux          .usect      "data4",1 ;variável auxiliar utilizada
;para testar a faixa de valores

p04              .usect      "data4",1
p05              .usect      "data4",1
p06              .usect      "data4",1
p07              .usect      "data4",1
p08              .usect      "data4",1
p09              .usect      "data4",1
p10              .usect      "data4",1
p11              .usect      "data4",1
p12              .usect      "data4",1
p13              .usect      "data4",1
p14              .usect      "data4",1
p15              .usect      "data4",1
p16              .usect      "data4",1
p17              .usect      "data4",1
p18              .usect      "data4",1
p19              .usect      "data4",1
p20              .usect      "data4",1
p21              .usect      "data4",1
p22              .usect      "data4",1
ft               .usect      "data4",1
ft_dc            .usect      "data4",1
vlr_inc          .usect      "data4",1
delay_term1      .usect      "data4",1
delay_term2      .usect      "data4",1

;variáveis da rotina lim_corrente em controle_corrente.inc
Di               .usect      "data4",1
di_teste         .usect      "data4",1
aux_k            .usect      "data4",1

;-----
; Declaracao de Enderecos dos Vetores de Interrupcao
;-----
                .sect      "vectors"

RSVECT          B          START          ;Reset Vector
INT1             B          INTPDP         ;PDP
INT2             B          INT2SR        ;Timer 1
INT3             B          PHANTOM        ;Interrupt Level 3
INT4             B          PHANTOM        ;Interrupt Level 4
INT5             B          PHANTOM        ;Interrupt Level 5
INT6             B          PHANTOM        ;Interrupt Level 6
RESERVED B        PHANTOM                ;Reserved
SW_INT8          B          PHANTOM        ;User S/W Interrupt
SW_INT9          B          PHANTOM        ;User S/W Interrupt
SW_INT10 B        PHANTOM                ;User S/W Interrupt
SW_INT11 B        PHANTOM                ;User S/W Interrupt
SW_INT12 B        PHANTOM                ;User S/W Interrupt
SW_INT13 B        PHANTOM                ;User S/W Interrupt
SW_INT14 B        PHANTOM                ;User S/W Interrupt
SW_INT15 B        PHANTOM                ;User S/W Interrupt
SW_INT16 B        PHANTOM                ;User S/W Interrupt
TRAP             B          PHANTOM        ;Trap vector
NMIN             B          PHANTOM        ;Non-maskable Interrupt
EMU_TRAP B        PHANTOM                ;Emulator Trap
SW_INT20 B        PHANTOM                ;User S/W Interrupt
SW_INT21 B        PHANTOM                ;User S/W Interrupt
SW_INT22 B        PHANTOM                ;User S/W Interrupt
SW_INT23 B        PHANTOM                ;User S/W Interrupt
SW_INT24 B        PHANTOM                ;User S/W Interrupt
SW_INT25 B        PHANTOM                ;User S/W Interrupt
SW_INT26 B        PHANTOM                ;User S/W Interrupt
SW_INT27 B        PHANTOM                ;User S/W Interrupt
SW_INT28 B        PHANTOM                ;User S/W Interrupt
SW_INT29 B        PHANTOM                ;User S/W Interrupt
SW_INT30 B        PHANTOM                ;User S/W Interrupt
SW_INT31 B        PHANTOM                ;User S/W Interrupt

*****

*****

KICK_DOG .macro          ;Watchdog reset macro
LDP      #DP_SYS         ;DP-->7000h-707Fh
SPLK     #05555h, WDKEY   ;WDCNTR is enabled to be reset by next AAh
SPLK     #0AAAAh, WDKEY   ;WDCNTR is reset
LDP      #0h              ;DP-->0000h-007Fh
.endm

;=====
; Inicialização Geral
;=====

                .text      ;garante que o code security será 0FFFFh
                .word      0FFFFh
                .word      0FFFFh
                .word      0FFFFh
                .word      0FFFFh

```

```

START:      NOP

*****inicialização do DSP*****

      LDP      #0
      SETC     INTM           ;desabilita interrupção
      SPLK     #0003h,IMR     ;habilita grupo de interrup.INT2(bit1)eINT1(bit0)
      SPLK     #0FFFFh,IFR    ;limpa flags de interr
      SPLK     #0000h,GPR0    ;Set Wait State Generator for
      OUT      GPR0,WSGR      ;Program Space, 0 wait states
                                ;Data Space, 0 wait states
                                ;I/O Space, 0 wait state

      SETC     SXM           ;modo extensao de sinal
      CLRC     OVM           ;ACC com overflow permitido
      CLRC     CNF           ;bloco 0 como mem de dados

      LDP      #DP_SYS
      SPLK     #00EDh,SCSR1   ;cpu clock = 4x10Mhz, enable evb,sci,adc
      SPLK     #004Ah,SCSR2   ;modo microprocessador SCSR2= 004Eh
                                ;modo microcontrolador SCSR2= 004Ah
      ;SPLK     #00E8h,WDCR   ;Disable WD se SCSR2(bit override = 1)
      SPLK     #00A8h,WDCR

      LDP      #DP_IO
      SPLK     #0FFFFh,MCRA   ;portas a e b não são GPIO
      SPLK     #0FF00h,MCRB   ;porta c como GPIO
      SPLK     #0C301h,PCDATDIR ;porta de entrada e saída, onde:
                                ;Bit 8 ao 16-> "1" saída e "0" entrada
                                ;Bit 7->Kn.....(Saída)
                                ;Bit 6->Krede.....(Saída)
                                ;Bit 5->Enable.....(Entrada)
                                ;Bit 4->Sobretensão CC..(Entrada)
                                ;Bit 3->Emergência.....(Entrada)
                                ;Bit 2->Sobrecorrente...(Entrada)
                                ;Bit 1->stop/run.....(Saída) (1=Run e 0=stop)
                                ;Bit 0->Reset.....(Saída)
      SPLK     #0001h,MCRC    ;portaE como I/O exceto CLKOUT(PE0)
      SPLK     #0000, PEDATDIR ;define portE como entrada
      KICK_DOG                ;Reset Watchdog

*****Inicialização do conversor AD*****

      LDP      #DP_ADC
      SPLK     #4000h,ADCTRL1 ;reset em modulo ADC
      NOP
      SPLK     #3190h,ADCTRL1 ;3290(teste);3210(valor original)
      SPLK     #2, MAXCONV     ;3 conversões
      SPLK     #0210h,CHSELSEQ1 ;converte canais 0,1,2

*****Inicialização da porta serial*****

      LDP      #DP_SCI
      SPLK     #0007h,SCICCR
      SPLK     #0003h,SCICTL1
      SPLK     #0000h,SCICTL2
      SPLK     #0070h,SCIPIR1
      SPLK     #0002h,SCIHBAUD
      SPLK     #0008h,SCILBAUD
      SPLK     #0023h,SCICTL1

=====
; Inicialização das variáveis
=====

      LDP      #4
      SPLK     #0A3Dh,kp_pll   ;0A3Dh      ;06665h      ;06AAAh
      SPLK     #000Dh,kiT_pll  ;000Dh      ;083h        ;0111h
      SPLK     #0,errop1l_ant
      SPLK     #0,errop1l
      SPLK     #06082h,u_pll_h ;inicialização
      SPLK     #0,u_pll_l
      SPLK     #0,tetap1l
      SPLK     #0,tetap1l_H
      SPLK     #0,tetap1l_L
      SPLK     #06082h,freq     ;freq_nom=06082h=24706d
      SPLK     #0413h,Ts       ;09C4h
      SPLK     #21842,kabc_dq1  ;21842d=0,6667=2/3
      SPLK     #10921,kabc_dq2  ;=2/3 * 1/2
      SPLK     #18916,kabc_dq3  ;raiz(3)/2 * 2/3
      SPLK     #1000,saída1,testes
      SPLK     #500,saída2
      SPLK     #1500,saída3
      SPLK     #8000h,meio      ;usado na quando pag.4
      SPLK     #7FFFh,vpos      ;valores iniciais
      SPLK     #7FFFh,vneg      ;para extração de raiz
      SPLK     #7FFFh,v0        ;quadrada
      SPLK     #20000,modv1      ;seq +
      SPLK     #0,modv2         ;seq -
      SPLK     #0,modv3         ;seq 0
      SPLK     #0,fi1           ;seq +
      SPLK     #8192,fi2        ;seq -
      SPLK     #16383,fi3       ;seq 0
      SPLK     #500,cont_offset ;500*200us=100ms=6ciclos de 60Hz
      SPLK     #933,offset_va
      SPLK     #0,soma_vá_H
      SPLK     #0,soma_vá_L
      SPLK     #820,offset_vb
      SPLK     #0,soma_vb_H

```


SPLK #0,soma_vb_L
SPLK #980,offset_vc
SPLK #0,soma_vc_H
SPLK #0,soma_vc_L


```

SPLK      #27306,lim_dfi_pos      ;limite de dfipos em +/-30°
                                           ;180°->32767
SPLK      #2500,kp_vcc            ;2500.(5000*;10000;25000)
SPLK      #7,ki_vcc              ;7.(15*;50;200;100)
SPLK      #0,u_vcc_h             ;zerando termo integral
SPLK      #0,u_vcc_l
SPLK      #0,vcc_ref_L
SPLK      #27300,vcc_refn         ;valor original = 26691, 27300
SPLK      #3010,defasamento     ;1274=7°
SPLK      #10292,bpb2           ;300Hz, 200us
SPLK      #22476,apb2
SPLK      #0,xvcc
SPLK      #1,lim_vpos            ;limita em 32767 - 655 = 0.98pu
SPLK      #26214,lim_vneg        ;limita em 32767 - 26214 = 0.2pu
SPLK      #29490,lim_v0         ;limita em 32767 - 29490 = 0.1pu
SPLK      #ganhovak,ganhovak
SPLK      #ganhovbk,ganhovb
SPLK      #ganhovck,ganhovc
SPLK      #32504,kinv2          ;ganho auxiliar do kinv

;inicialização dos flags de controle do STATCOM
LDP        #6
SPLK      #MODO_INICIANDO, modo
SPLK      #15,delay             ;30000tempo de 12s
SPLK      #5001,delay2          ;5000tempo de 1s para reset
SPLK      #10000,delay3
SPLK      #0,stat_ctl
SPLK      #0,intpdp             ;teste
SPLK      #0,flaginit
SPLK      #27,cfg_comp
SPLK      #0,hbt_comp
SPLK      #0,trip_ctr
SPLK      #5000,atraso1
SPLK      #50,atraso2
SPLK      #110,atraso3
SPLK      #5000,zera_trip1
SPLK      #180,zera_trip2

;variaveis de controle de sequencias
LDP        #6
SPLK      #0,xk
SPLK      #0,uk
SPLK      #Ac,A
SPLK      #Bc,B
SPLK      #Cc,C
SPLK      #Dc,D
SPLK      #8000h,meio6
SPLK      #500,kp_pos           ;500.(1000*;3000;15000;07FFFh)
SPLK      #1200,dvpos_aux
SPLK      #4300,dvpos_max       ;1600.(3200*)
SPLK      #10485,inv_dvpos      ;inverso de dvpos_max
                                           ;=[32768/(2^5*dvpos_max)]*32768
SPLK      #27400,vpos_ref       ;12830=60Vrms;
SPLK      #5,ki_pos            ;5.(10*;30;100;200)
SPLK      #0,u_vpos_h          ;zerando termo integral
SPLK      #0,u_vpos_l
SPLK      #28467,lim_dvpos      ;=32767 - dvpos máximo
SPLK      #0,contador1
SPLK      #0,contador2
SPLK      #25395,vposrefmin     ;17900=0.93pu 1pu=90V
SPLK      #28523,vposrefmax     ;20200=1.05pu
SPLK      #26754,vposzminf      ;18860=0.98pu
SPLK      #27846,vposzmsup      ;19630=1.02pu
SPLK      #100,dvposmin         ;(100*)
SPLK      #0,dvpos_soma
SPLK      #6,contdvmin
SPLK      #0,dvposmed           ;iniciando com zero
SPLK      #0,dvpos
SPLK      #0,novamedia         ;flag que indica nova media
                                           ;de dv tirada
SPLK      #26959,vposk         ;19050 para 90V provisório
SPLK      #16015,alfapos        ;16015
SPLK      #1638,k1div20
SPLK      #31129,k19div20
SPLK      #12500,kp_neg         ;12500.(25000*;32767)
SPLK      #8000,dvneg_max       ;8000.(16000*)
SPLK      #1000,vneg_ref        ;1500; 1000;800
SPLK      #15,ki_neg           ;15.(30*;10;20)
SPLK      #0,u_vneg_h          ;zerando termo integral
SPLK      #0,u_vneg_l
SPLK      #2000,vnegzm         ;2000;1500
SPLK      #0,dvneg_soma
SPLK      #0,dvnegmed          ;iniciando com zero
SPLK      #6,contdvmin2
SPLK      #500,dvnegmin        ;500.(1000*;1500;1000modulo do valor minimo)
SPLK      #12500,kp_0          ;12500.(25000*;15000; 32767)
SPLK      #8000,dv0_max        ;8000.(16000*)
SPLK      #1500,v0_ref         ;2000;1500; 1000; 800
SPLK      #15,ki_0            ;15.(30*;10; 20)
SPLK      #0,u_v0_h            ;zerando termo integral
SPLK      #0,u_v0_l
SPLK      #2500,v0zm           ;2500;3000; 2000;1500
SPLK      #0,dv0_soma
SPLK      #0,dv0med            ;iniciando com zero
SPLK      #15,contdvmin3
SPLK      #250,dv0min          ;250.(500*;1500;1000modulo do valor minimo)
SPLK      #0,vpos_ctl
SPLK      #0,vneg_ctl
SPLK      #0,v0_ctl
SPLK      #0,subtensao
SPLK      #1250,delay4
SPLK      #4,delay5
SPLK      #0,vpos_aux
SPLK      #0,vpos_med

```

```

;inicialização das variaveis de detecção de pico de corrente
;e controle de sobrecorrente
LDP      #6
SPLK     #0,contcre
SPLK     #0,contdec
SPLK     #0,iabc
SPLK     #0,iabc2
SPLK     #0,ipico
SPLK     #0,ipico_filt
SPLK     #7FFFh,k_lim_i

; inicializacao das variaveis usadas na
; comunicação serial

LDP      #6
SPLK     #0,time_out
SPLK     #0,n_rx
SPLK     #0,status_rx
SPLK     #0,status_tx
SPLK     #0,time_out_tx
SPLK     #0,trans_data
SPLK     #0,trans_msn
SPLK     #0,trans_HouL
SPLK     #0,cont_buf
SPLK     #0,carrega_buf      ;"1" para iniciar já transmitindo
SPLK     #0,trans_buf
SPLK     #0,errormsg
;SPLK     #0,erro_tst
LRLK     AR2, #8002h
LRLK     AR3, #83EAh
LRLK     AR4, #87D2h
LRLK     AR5, #8BBAh      ;até 8f9fh
LRLK     AR1, #9780h      ;inicio do frame de rx
SPLK     #25000,delay_data ;25000
LDP      #256             ;start frame para transmissao
SPLK     #3264h,0         ;antes de buffer para o pc
SPLK     #6432h,1         ;posição de memoria:8000h,8001h,
LDP      #7
SPLK     #0,p04
SPLK     #0,p05
SPLK     #0,p06
SPLK     #0,p07
SPLK     #0,p08
SPLK     #0,p09
SPLK     #0,p10
SPLK     #0,p11
SPLK     #0,p12
SPLK     #0,p13
SPLK     #0,p14
SPLK     #0,p15
SPLK     #0,p16
SPLK     #0,p17
SPLK     #0,p18
SPLK     #0,p19
SPLK     #0,p20
SPLK     #0,p21
SPLK     #0,p22
SPLK     #17514,ft
SPLK     #7904,ft_dc
SPLK     #1,vlr_inc      ;valor inicial=1, pois indica erro
                        ;nos valores carregados
SPLK     #0,Di           ;Di=Ips-In
                        ;onde: Ips=corrente de proteção em software (rms)
                        ;      In =corrente nominal do STATCOM (rms)

SPLK     #0,di_teste
SPLK     #0,aux_k        ;variável auxiliar para o cálculo de k_lim_i
SPLK     #22368,inv_Di    ;utilizado no cálculo de k_lim_i novo, sendo:
                        ;=[(32767/lim_Di)/2^4]*32767

SPLK     #5000,delay_term1
SPLK     #600,delay_term2

;inicialização das variaveis dos filtros de vabc dq

LDP      #5h
SPLK     #484,a1          ;494      ;200us 30Hz
SPLK     #15397,k1        ;15728
SPLK     #10875,k2        ;11109
SPLK     #31556,b2
SPLK     #30388,b3
SPLK     #75,b1
SPLK     #28673,limite1    ;usado dentro do filtro
SPLK     #16385,limite2    ;usado dentro do filtro
SPLK     #8000h,meio5      ;usado na quando pag.5
SPLK     #1212,bpb        ;#2380,bpb      ;60Hz, 200us
SPLK     #31556,apb        ;#30387,apb
SPLK     #0,x1_qa
SPLK     #0,x2_qa
SPLK     #0,x1_da
SPLK     #0,x2_da
SPLK     #0,x1_qb
SPLK     #0,x2_qb
SPLK     #0,x1_db
SPLK     #0,x2_db
SPLK     #0,x1_qc
SPLK     #0,x2_qc
SPLK     #0,x1_dc
SPLK     #0,x2_dc

;inicialização dos parametros de filtro lpn de vdc
SPLK     #484,d1_vdc      ;485;493
SPLK     #26945,c1_vdc    ;27004;27485
SPLK     #25344,c2_vdc    ;25400;25853
SPLK     #30388,a1_vdc

```

```

SPLK      #31556,a2_vdc
SPLK      #43,b1_vdc
SPLK      #0,x1_vdc
SPLK      #0,x2_vdc
SPLK      #0,x1_Lvdc
SPLK      #0,x2_Lvdc
SPLK      #30720,limite5

;inicializacao das constantes usadas na matriz Vdq_abc para Vdq_+-0
SPLK      #10922,umdiv3
SPLK      #5461,umdiv6
SPLK      #9459,r3div6
SPLK      #2731,umdiv12
SPLK      #4730,r3div12
SPLK      #28673,limite3      ;usado em geraseq
SPLK      #16385,limite4      ;usado em geraseq

LDP        #4                  ;volta para pag.4 padrao
B          Begin_              ;salta para o inicio do programa

;=====
; I S R - PHANTOM
; Descricao: Usada como armadilha para interrupcoes indesejadas
;=====

PHANTOM     KICK_DOG            ;Reseta Watch Dog Timer
            ;LDP              #4
            ;SPLK             #0FFFFh,GPR0
            ;OUT               GPR0,LEDS      ;acende todos os LEDs
            B                  PHANTOM

*****
* File Name : init_evm.inc
* Inicializacao dos registradores do Event Manager para geracao
* de sinais PWM de 5kHz com tempo morto de 1.5us. GPTimer 1 gera
* requisicao de interrupcao (INT2SR) a cada 200us.
* Autor: Marcio Brumatti
* Data: 24/08/2007
* Atualizado em:
*****
            .text

InitEVM
*****

            LDP                #DP_EVA
            SPLK               #0081h,EVAIMRA      ;habilita int timer 1(T1PINT) e PDP
            SPLK               #0,EVAIMRB          ;mascara grupo B
            SPLK               #0,EVAIMRC          ;mascara grupo C
            SPLK               #0FFFFh,EVAIFRA      ;zera flags int grupoA
            SPLK               #0FFFFh,EVAIFRB      ;zera flags int grupoB
            SPLK               #0FFFFh,EVAIFRC      ;zera flags int grupoC
            SPLK               #0h,T1CNT            ;inicia timer 1
            SPLK               #4000,T1PR           ;periodo do pwm:4000, T=nx2x25ns = 200us
            SPLK               #00FE8h,DBTCONA      ;tempo morto: 0FE8h=1,5us
            SPLK               #0h,CMPR1            ;valores iniciais para teste
            SPLK               #0h,CMPR2            ;
            SPLK               #0h,CMPR3            ;
            SPLK               #0999h,ACTRA         ;config. saidas pwm 1,3 e 5 ativo baixo
            ;2,4 e 6 ativo alto.
            SPLK               #8000h,COMCONA        ;config. compare control reg.
            ;saidas em alta impedancia
            ;8200h pwm senoidal;9200h sv pwm
            SPLK               #0002h,GPTCONA        ;0042 habilita saidas
            ;alta impedancia
            SPLK               #0842h,T1CON          ;config. GP timer control reg.
            ;habilita operacoes do timer.
            ;timer stopped junto com emulador

            RET

*****
* File Name : calc_arg_v.inc
* macro para calculo de argumento a ser usado na funcao seno
* macro que compoe cada um dos sinais a, b, c, a partir das
* componentes simetricas V1, V2 e V3
* Autor: Marcio Brumatti
* Data: 28/08/2007
* Atualizado em: 23/09/2008
*****
            .text
*****
;macro usada para obter argumento da funcao senoidal
;wt: teta
;fi:ang inicial da fase A
;defas: constante que representa o defasamento entre a fase e a fase A
;arg: angulo obtido ja limitado em 11bits

GERA_ARG    .macro              wt, fi, defas, arg

            LACC                wt,11              ;carrega acc desloc 11 bits p/ esquerda
            ADD                 #defas,11          ;sem sinal pois SXM=0. Soma defasamento
            ADD                 fi,11              ;arredondamento
            ADD                 meio              ;justifica a direita, limitando
            AND                  #07FFh,16         ;em 11 bits
            SACH                arg

            .endm
*****
;macro usada para compor as 3 componentes
;v=v1*sen(arg_pos)+v2*sen(arg_neg)+v3*sen(arg_0)
;v1: modulo da seq. positiva
;v2: modulo da seq. negativa
;v3: modulo da seq. 0
;representação [Q10 + 00000]

GERA_V      .macro              arg_pos, arg_neg, arg_0, v1, v2, v3, v

```

```

LACC      arg_pos
ADD      #Sintab
tblr      aux          ;retorna valor do seno em aux
LT        v1           ;carrega T register com modulo de V
MPY       aux          ;multiplica pelo seno
PAC       ;carrega acc com va
SACH      v
SACL      auxv
LACC      arg_neg
ADD      #Sintab
tblr      aux
LT        v2           ;carrega T register com modulo de V2
MPY       aux          ;multiplica pelo seno
ZALH      v
ADDS      auxv
APAC
SACH      v
SACL      auxv
LACC      arg_0
ADD      #Sintab
tblr      aux
LT        v3           ;carrega T register com modulo de V2
MPY       aux          ;multiplica pelo seno
ZALH      v
ADDS      auxv
APAC
SACH      v          ;armazena parte alta do resultado
.endm

*****
* File Name : geravabc.inc
* rotina para geracao das tensoes va, vb e vc internamente, usada para testes
* Autor: Marcio Brumatti
* Data: 28/08/2007
* Atualizado em:
*****
        .text

*****
;Rotina usada para produzir internamente as fases va, vb, vc compostas pelas
;3 componentes de seq. (+, -, 0)
;utilizada para testes, quando não uso A\D
;aqui se produz o angulo teta interno
;tempo de execução:

gera_vabc
        CLRC          SXM
        LDP           #4h
        LACC          teta,11 ;carrega acc deslocando 11 bits para esquerda
        SUB           #2000h,12 ;sem considerar sinal pois SXM=0.
        ADD           meio ;subtrai 90o para ficar em fase com o tetapll
        AND           #07FFh,16
        SACH          tetaplot ;teta usado para teste no lugar de tetapll

;argumentos de sequencia positiva
        GERA_ARG      teta, fi1, zero, teta_a_pos

        GERA_ARG      teta, fi1, menos120, teta_b_pos

        GERA_ARG      teta, fi1, mais120, teta_c_pos

;argumentos de sequencia negativa
        GERA_ARG      teta, fi2, zero, teta_a_neg

        GERA_ARG      teta, fi2, menos120, teta_c_neg

        GERA_ARG      teta, fi2, mais120, teta_b_neg

;argumento de sequencia zero
        GERA_ARG      teta, fi3, zero, teta_0

;gera va
        SETC          SXM
        SPM           1          ;multiplicacao fracionaria
        SETC          OVM        ;overflow mode, acc limitado
        GERA_V         teta_a_pos, teta_a_neg, teta_0, modv1, modv2, modv3, va

;gera vb
        GERA_V         teta_b_pos, teta_b_neg, teta_0, modv1, modv2, modv3, vb

;gera vc

```



```

GERA_V      teta_c_pos, teta_c_neg, teta_0, modv1, modv2, modv3, vc

*****INCREMENTA teta*****

CLRC          OVM      ;deixa ocorrer overflow no ACC, de 32bits,
ZALH          teta

ADDS          teta_L
ADD           #3120h,12 ;DELTA_TETA = 786,4320d
ADD           #28312    ;0,4320*2^16

SACH          teta      ;11 bits mais significativos
SACL          teta_L

RET

*****
;rotina que calcula vabc a partir dos sinais vpos,vneg,v0,fipos,fineg,fif0
;produzidos pela rotina de controle.
;com vabc out serão produzidos os sinais pwm com modulação senoidal.

vdq_vabc

```

```

CLRC          SXM
LDP           #4h

;somando 90o para produzir cosseno
;argumentos de sequencia positiva
    GERA_ARG  tetapll_H, fipos_out, mais90, teta_a_pos

    GERA_ARG  tetapll_H, fipos_out, menos30, teta_b_pos

    GERA_ARG  tetapll_H, fipos_out, menos150, teta_c_pos

;argumentos de sequencia negativa
    GERA_ARG  tetapll_H, fineg_out, mais90, teta_a_neg

    GERA_ARG  tetapll_H, fineg_out, menos30, teta_c_neg

    GERA_ARG  tetapll_H, fineg_out, menos150, teta_b_neg

;argumento de sequencia zero
    GERA_ARG  tetapll_H, fi0_out, mais90, teta_0

;gera vaout

    SETC          SXM
    SPM           1          ;multiplicacao fracionaria
    SETC          OVM        ;overflow mode, acc limitado
    GERA_V        teta_a_pos, teta_a_neg, teta_0, vpos_out, vneg_out, v0_out, va_out

;gera vbout
    GERA_V        teta_b_pos, teta_b_neg, teta_0, vpos_out, vneg_out, v0_out, vb_out

;gera vcout
    GERA_V        teta_c_pos, teta_c_neg, teta_0, vpos_out, vneg_out, v0_out, vc_out

    RET

*****
* File Name : filt_lpn.inc
* macro utilizada para filtragem dos sinais usando um low pass nothing
* usando 32 bits para x, 16 bits para constantes, produto 32x16=32bits
* macro utilizada para filtragem usando um passa baixa de 1a ordem
* Autor: Marcio Brumatti
* Data: 12/06/2007
* Atualizado em: 11/07/2007; 28/08/2007
    .text

*****filtro low pass notch *****
;macro
;entradas: uk, x1HL(k), x2HL(k)
;saidas: yk, x1HL(k+1), x2HL(k+1)

FILTROLPN .macro      uk, x1_L, x1, x2_L, x2, yk
;calculo de y(k)
    LDP          #5
    LT           x1_L
    MPYU         k1
    PAC
    SACH         DL
    LACL         DL
    LT           x1
    MPY          k1
    APAC
    SACH         DH
    SACL         DL
    LT           x2_L
    MPYU         k2
    PAC
    SACH         CL
    LACL         CL
    LT           x2
    MPY          k2
    APAC
    NEG
    ADDS         DL
    ADDH         DH
    LT           a1
    LDP          #4
    MPY          uk
    APAC
    LDP          #5
    SETC         OVM
    ADDH         limite1          ;limitando pois ocorreu overflow
    SUBH         limite1          ;para valores proximos de 1.0 pu
    SUBH         limite1
    ADDH         limite1
    CLRC         OVM
    SFL          ;multiplicar por 8
    SFL
    SFL
    ADDS         meio5          ;arredondamento
    SACH         yk

;calculo de x(k+1)
    LT           x1_L
    MPYU         b3
    PAC
    SACH         DL
    LACL         DL
    LT           x1
    MPY          b3
    APAC
    NEG
    LT           b1

```

```

LDP          #4
MPY          uk
APAC
SFR

;divide por dois aqui, para diminuir
;efeito      sobre b1 que já é pequeno
;nao notei perda de precisao

LDP          #5
SACH         CH
SACL         CL
LT           x2_L
MPYU         b2
PAC
SACH         DL
LACL         DL
LT           x2
MPY          b2
APAC
ADDS         CL
ADDH         CH
SETC         OVM          ;limitando x pois ocorreu problemas
ADDH         limite2      ;de overflow para valores pequenos de
SUBH         limite2      ;entrada. Um transitório inicial, que
SUBH         limite2      ;não atenua se ocorrer overflow, tornando
ADDH         limite2      ;o filtro instável.
CLRC         OVM
SFL

DMOV         x2            ;agora, multiplica por dois, garantindo
DMOV         x2_L         ;a representação em 32k
SACH         x2
SACL         x2_L

.endm

*****filtro passa baixa fc=30Hz*****
;macro
;entradas: uk, x3(k)
;saida:x3(k+1), yk

FILTRPB60 .macro      uk, x3, yk
LDP          #5
LACC         x3
SACL         yk
LT           apb
MPY          x3
PAC
LT           bpb
MPY          uk
APAC
ADDS         meio5        ;arredondamento
SACH         x3

.endm

*****
*****filtro passa baixa fc=300Hz aplicado em vcc*****
;macro
;entradas: uk, x3(k)
;saida:x3(k+1), yk

FILTPB300 .macro      uk, x, yk
SETC         SXM          ;extensão de sinal
SETC         OVM          ;overflow mode, acc limitado

LDP          #4
LACC         x
SACL         yk
LT           apb2
MPY          x
PAC
LT           bpb2
MPY          uk
APAC
ADDS         meio         ;arredondamento
SACH         x

.endm

*****
*****filtro low pass notch para vdc*****
;macro
;entradas: uk, x1HL(k), x2HL(k)
;saidas: yk, x1HL(k+1), x2HL(k+1)

FILTLPNVDC .macro      uk, x1_L, x1, x2_L, x2, yk
CLRC         OVM          ;permite overflow
SETC         SXM          ;sinal estendido
SPM          1            ;multiplicacao fracionaria

;calculo de y(k)
LDP          #5
LT           x1_L
MPYU         c1_vdc
PAC
SACH         DL
LACL         DL
LT           x1
MPY          c1_vdc
APAC
SACH         DH

```



```

SACL          DL

LT            x2_L
MPYU          c2_vdc
PAC
SACH          CL
LACL          CL
LT            x2
MPY           c2_vdc
APAC

NEG
ADDS          DL
ADDH          DH

LT            d1_vdc
LDP           #4
MPY           uk
APAC

LDP           #5

SETC          OVM
ADDH          limite5      ;limitando pois ocorreu overflow
SUBH          limite5      ;para valores proximos de 1.0 pu
SUBH          limite5
ADDH          limite5
CLRC          OVM

SFL
SFL
SFL
SFL
ADDS          meio5        ;arredondamento
LDP           #4
SACH          yk

;calculo de x(k+1)
LDP           #5
LT            x1_L
MPYU          a1_vdc
PAC
SACH          DL
LACL          DL
LT            x1
MPY           a1_vdc
APAC

NEG

LT            b1_vdc
LDP           #4
MPY           uk
APAC
SFR
LDP           #5
SACH          CH
SACL          CL

LT            x2_L
MPYU          a2_vdc
PAC
SACH          DL
LACL          DL
LT            x2
MPY           a2_vdc
APAC

ADDS          CL
ADDH          CH

SETC          OVM
ADDH          limite2      ;limitando x pois ocorreu problemas
SUBH          limite2      ;de overflow para valores pequenos de
SUBH          limite2      ;entrada. Um transitório inicial, que
ADDH          limite2      ;não atenua se ocorrer overflow, tornando
CLRC          OVM          ;o filtro instável.

SFL
                                ;agora, multiplica por dois, garantindo
                                ;a representação em 32k

DMOV          x2
DMOV          x2_L
SACH          x2
SACL          x2_L

.endm

*****
* File Name : conv_ad.asm
* rotina para leitura das tensoes va, vb e vc
* resultado em 10bits
*****
* Autor: Marcio Brumatti
* Data: 04/09/2007
* Atualizado em: 15/06/2009 por Vinicius Secchin de Melo
*****

.text
le_ad

CLRC          SXM          ;sem extensão de sinal

LDP           #DP_ADC

SPLK          #2, MAXCONV   ;3 conversões
SPLK          #0210h,CHSELSEQ1 ;converte canais 0,1,2

SPLK          #4000h,ADCTRL2 ;reset para seq.1

```

```

SPLK                #2000h, ADCTRL2                ;inicia conversões
NOP
NOP                ;espera 4 nops para testar
NOP
NOP

lendo:
;primeira leitura de va,vb e vc

BIT                ADCTRL2,BIT12                ;espera fim de conversões
BCND                lendo, TC

LDP                #4
MAR                *, AR0
LAR                AR0, #RESULT0

LACC                *+
SACL                sinalva
SACL                sinalvax

LACC                *+
SACL                sinalvb
SACL                sinalvbx

LACC                *
SACL                sinalvc
SACL                sinalvcx

LDP                #DP_ADC

SPLK                #7, MAXCONV                ;8 conversões
SPLK                #6210h,CHSELSEQ1            ;converte canais 0,1,2,6
SPLK                #5437h,CHSELSEQ2            ;converte canal 7,3,4,5

SPLK                #4000h, ADCTRL2                ;reset para seq.1
SPLK                #2000h, ADCTRL2                ;inicia conversões

NOP
NOP                ;espera 4 nops para testar
NOP
NOP

lendo2:
;segunda leitura de va, vb e vc. Leitura de vcap1 e vcap2

BIT                ADCTRL2,BIT12                ;espera fim de conversões
BCND                lendo2, TC

LDP                #4
MAR                *, AR0
LAR                AR0, #RESULT0

LACC                *+
ADD                sinalva                ;FAZENDO DUAS LEITURAS E TIRANDO MÉDIA
SFR
SACL                sinalva
LACC                *+
ADD                sinalvb
SFR
SACL                sinalvb

LACC                *+
ADD                sinalvc
SFR
SACL                sinalvc

LACC                *+
SFR
SACL                vcap1
LACC                *+
SFR
SACL                vcap2

LDP                #6
LACC                *+
SACL                sinalia
LACC                *+
SACL                sinalib
LACC                *
SACL                sinalic

;tratamento dos sinais de tensão cc
;apenas obtendo o valor vcc total escalonado com 1/2 do seu valor

SETC                SXM                ;extensão de sinal
SETC                OVM                ;overflow mode, acc limitado

LDP                #4
LACC                vcap1
ADD                vcap2
SFR
SACL                vcc2                ;tensao (vdc1+vdc2)/2

FILTPB300    vcc2,xvcc,vcc

FILTLPNVDC    vcc,x1_Lvdc,x1_vdc,x2_Lvdc,x2_vdc,vcc_lpn

;tratamento dos sinais de corrente ia, ib e ic
;apenas eliminado o offset introduzido pelo circuito
;de condicionamento de sinais

LDP                #6
LACC                sinalia                ;até aqui ia é um numero sem sinal
SUB                #7FFFh

```

SUB	#300	;corrigindo offset de ia, era 86
SACL	sinalia	
LACC	sinalib	;até aqui ib é um numero sem sinal
SUB	#7FFFh	
SUB	#210	
SACL	sinalib	
LACC	sinalic	;até aqui ic é um numero sem sinal
SUB	#7FFFh	
SUB	#90	
SACL	sinalic	
LACC	sinalia	
ADD	sinalib	
ADD	sinalic	
SACL	ineutro	

;tratamento dos sinais de tensao ac lidos no A/D

SETC	SXM	
SETC	OVm	
LDP	#4	
LACC	sinalva	;até aqui va é um numero sem sinal
SUB	#7FFFh	
SACL	aux	
ZALH	aux	
SUB	offset_va,16	
SACH	sinalva	
LACC	sinalvb	
SUB	#7FFFh	
SACL	aux	
ZALH	aux	
SUB	offset_vb,16	
SACH	sinalvb	
LACC	sinalvc	
SUB	#7FFFh	
SACL	aux	
ZALH	aux	
SUB	offset_vc,16	
SACH	sinalvc	

;calculo do offset dos sinais va,vb,vc

CLRC	OVm	
ZALH	soma_va_H	
ADDS	soma_va_L	
ADD	sinalva	
SACH	soma_va_H	
SACL	soma_va_L	
ZALH	soma_vb_H	
ADDS	soma_vb_L	
ADD	sinalvb	
SACH	soma_vb_H	
SACL	soma_vb_L	
ZALH	soma_vc_H	
ADDS	soma_vc_L	
ADD	sinalvc	
SACH	soma_vc_H	
SACL	soma_vc_L	
LACC	cont_offset	
SUB	#1	
SACL	cont_offset	
BCND	fim_le_ad,NEQ	
ZALH	soma_va_H	
ADDS	soma_va_L	
ADD	#0100h	;arredondamento
RPT	#8	
SFR		;divide por 512 (~=500)
ADD	offset_va	;corrige offset de va
SACL	offset_va	
ZALH	soma_vb_H	
ADDS	soma_vb_L	
ADD	#0100h	;arredondamento
RPT	#8	
SFR		;divide por 512 (~=500)
ADD	offset_vb	;corrige offset de va
SACL	offset_vb	
ZALH	soma_vc_H	
ADDS	soma_vc_L	
ADD	#0100h	;arredondamento
RPT	#8	
SFR		;divide por 512 (~=500)
ADD	offset_vc	;corrige offset de va
SACL	offset_vc	
SPLK	#500,cont_offset	
SPLK	#0,soma_va_H	
SPLK	#0,soma_va_L	
SPLK	#0,soma_vb_H	
SPLK	#0,soma_vb_L	
SPLK	#0,soma_vc_H	
SPLK	#0,soma_vc_L	

fim_le_ad

;ajuste dos ganhos dos canais A e C 13/08/08

;escala de tensão utilizada -> 152,03 bits/Vpico

SPM	01
LDP	#4

```

        LT          sinalva
        MPY          ganhova          ;ganhova=ganhova_real/2
        PAC
        SACH          sinalva,1

        LT          sinalvb
        MPY          ganhovb          ;ganhovb=ganhovb_real/2
        PAC
        SACH          sinalvb,1

        LT          sinalvc
        MPY          ganhovc          ;ganhovc=ganhovc_real/2
        PAC
        SACH          sinalvc,1

fim
        RET

*****
* File Name : abc_dqs.inc
*
* macro para conversão de a, b, c para alfa(qs), beta(ds)
*
* Autor: Marcio Brumatti
* Data: 23/01/2008
* Atualizado em:
*****
        .text

ABC_DQS          .macro a, b, c, qs, ds

        SETC          OVM          ;acc limitado
        SETC          SXM          ;sinal estendido
        LDP          #4h
        SPM          1          ;multip. fracionaria

        LT          a          ;obtendo qs a partir de a
        MPY          kabc_dq1          ;b e c. mesma escala de abc
        PAC
        LT          b
        MPY          kabc_dq2
        LTS          c
        MPY          kabc_dq2
        SPAC
        SACH          qs
        LT          c          ;obtendo ds a partir de a
        MPY          kabc_dq3          ;b e c. mesma escala de abc
        PAC
        LT          b
        MPY          kabc_dq3
        SPAC
        SACH          ds

        .endm

*****
* File Name : pll.inc
*
* a partir dos sinais va, vb e vc obtem w e teta.
* teta equivale ao arc_cos de valfa
*
* Autor: Marcio Brumatti
* Data: 28/08/2007
* Atualizado em:
*****
        .text

pll
        SETC          OVM          ;acc limitado
        SETC          SXM          ;sinal estendido
        LDP          #4h
        SPM          1          ;multip. fracionaria
        LT          sinalva          ;obtendo valfa a partir de va
        MPY          kabc_dq1          ;vb e vc. mesma escala de vabc
        PAC
        LT          sinalvb
        MPY          kabc_dq2
        LTS          sinalvc
        MPY          kabc_dq2
        SPAC
        SACH          valfa
        LT          sinalvb          ;obtendo vbeta a partir de va
        MPY          kabc_dq3          ;vb e vc. mesma escala de vabc
        PAC
        LT          sinalvc
        MPY          kabc_dq3
        SPAC
        SACH          vbeta

        LACC          tetapll
        ADD          #0200h          ;equivale a 90o na tabela de seno
        AND          #07FFh          ;limita em 2047,ou seja, menor que
                                      ;360o na tabela de seno

        ADD          #Sintab
        tblr          cos_teta          ;obtem o cosseno de tetapll

        LT          vbeta
        MPY          cos_teta

```

PAC		;resultado para o acc
SACH	q_h	;armazena resultado parcial
SACL	q_l	
LACC	tetapll	
ADD	#Sintab	
tblr	sen_teta	;obtem o seno de tetapll
LT	valfa	
MPY	sen_teta	
ZALH	q_h	;recupera valor armazenado
ADDS	q_l	
SPAC		;subtrai: ACC = ACC - PREG
SACH	erropll	

*****PI do pll*****

SETC	SXM
ZALH	u_pll_h
ADDS	u_pll_l
LT	erropll_ant
MPY	kiT_pll
APAC	
SACH	u_pll_h
SACL	u_pll_l
LT	erropll
MPY	kp_pll
APAC	
SACH	freq
LACC	erropll
SACL	erropll_ant

*****integração de freq para obter teta*****

LT	freq	
MPY	Ts	;Dieta=freq*Ts
CLRC	OVM	;permite que o teta role de 360o para 0o
ZALH	tetapll_H	
ADDS	tetapll_L	
APAC		
SETC	OVM	
SACL	tetapll_L	
SACH	tetapll_H	
LACC	tetapll_H,11	
ADDS	meio	;arredondamento
AND	#07FFh,16	;limita tetapll em 2047d
SACH	tetapll	
RET		

* File Name : detec_ipico.inc

*

* Autor: Marcio Brumatti

* Data: 12/05/2008

* Atualizado em: 30/05/2009 por Vinicius Secchin de Melo

.text

detec_ipico

SETC	OVM	;acc limitado
SETC	SXM	;sinal estendido
SPM	1	;multiplicacao fracionaria
LDP	#6	
LACC	sinalia	
ABS		
SACL	itemp	;itemp = ia
LACC	sinalib	
ABS		
SUB	itemp	;ACC = ib - ia
BCND	comp_ic,LT	; ia maior que ib
LACC	sinalib	
ABS		
SACL	itemp	

comp_ic

LACC	sinalic	;continua itemp = ia
ABS		
SUB	itemp	;ACC = ic - ia
BCND	compara,LT	; ia maior que ic
LACC	sinalic	;ic maior
ABS		
SACL	itemp	

compara

LACC	itemp
SACL	ipico

;filtro passa-baixa fc=72Hz

;filtra ipico para o controle do valor de k_lim_i

;x(k+1) = A.x(k) + B.u(k)

;y(k) = C.x(k) + D.u(k)

LACL	ipico
SACL	uk
LT	C
MPY	xk
PAC	
LT	D


```

LACC          tetapll
ADD           #Sintab
tblr          sen_teta      ;obtem o seno de tetapll

LT            sen_teta
MPY           sinalva
LACC          #0

APAC          vda_sf        ;salva em vda_sf=-sen(tetapll)*va
SACH          sinalvb
MPY           #0
LACC

APAC          vdb_sf        ;salva em vdb_sf=-sen(tetapll)*vb
SACH          sinalvc
MPY           #0
LACC

APAC          vdc_sf        ;salva em vdc_sf=-sen(tetapll)*vc
SACH

;filtrar vqa_sf

FILTROLPN    vqa_sf, x1_Lqa, x1_qa, x2_Lqa, x2_qa, vqa_2

FILTROPB60   vqa_2, x3_qa, vqa

;filtrar vda_sf

FILTROLPN    vda_sf, x1_Lda, x1_da, x2_Lda, x2_da, vda_2

FILTROPB60   vda_2, x3_da, vda

;filtrar vqb_sf

FILTROLPN    vqb_sf, x1_Lqb, x1_qb, x2_Lqb, x2_qb, vqb_2

FILTROPB60   vqb_2, x3_qb, vqb

;filtrar vdb_sf

FILTROLPN    vdb_sf, x1_Ldb, x1_db, x2_Ldb, x2_db, vdb_2

FILTROPB60   vdb_2, x3_db, vdb

;filtrar vqc_sf

FILTROLPN    vqc_sf, x1_Lqc, x1_qc, x2_Lqc, x2_qc, vqc_2

FILTROPB60   vqc_2, x3_qc, vqc

;filtrar vdc_sf

FILTROLPN    vdc_sf, x1_Ldc, x1_dc, x2_Ldc, x2_dc, vdc_2

FILTROPB60   vdc_2, x3_dc, vdc

RET

*****
* File Name : gera_seq.inc
*rotina para obtenção das componentes de sequência
*Entradas: vqa, vqb , vqc, vda, vdb , vdc
*saidas:vqpos, vdpos, vqneg, vdneg, vq0, vd0
*baseado no metodo heterodyning
* Autor: Marcio Brumatti
* Data: 12/06/2007
* Atualizado em: 28/08/2007
*****
        .text

geraseq

CLRC          OVM           ;permite overflow
SETC          SXM           ;sinal estendido
SPM           1             ;multiplicacao fracionaria
*****
LDP           #5h
LACC          #0
LT            umdiv6
MPY           vqa
LTA           umdiv12
MPY           vqb
LTS           r3div12
MPY           vdb
LTA           umdiv12
MPY           vqc
LTS           r3div12
MPY           vdc
SPAC
SETC          OVM           ;limitando antes de multiplicar por 2
ADDDH         limite4       ;para evitar possivel overflow.
SUBH          limite4
SUBH          limite4
ADDDH         limite4
CLRC          OVM

SFL

ADDS          meio5          ;meio      ;arredondamento
LDP           #4h
SACH          vqpos
*****
LDP           #5h
LACC          #0
LT            umdiv6

```

```

MPY          vda
LTA          r3div12
MPY          vqb
LTS          umdiv12
MPY          vdb
LTS          r3div12
MPY          vqc
LTA          umdiv12
MPY          vdc
SPAC

SETC         OVM          ;limitando antes de multiplicar por 2
ADDDH        limite4      ;para evitar possivel overflow.
SUBH         limite4
SUBH         limite4
ADDDH        limite4
CLRC         OVM

SFL

ADDS         meio5        ;arredondamento
LDP          #4h
SACH         vdpos
*****
LDP          #5h
LACC         #0
LT           umdiv3
MPY          vqa
LTA          umdiv6
MPY          vqb
LTS          r3div6
MPY          vdb
LTS          umdiv6
MPY          vqc
LTS          r3div6
MPY          vdc
APAC

SETC         OVM          ;limitando antes de multiplicar por 8
ADDDH        limite3      ;para evitar possivel overflow.
SUBH         limite3
SUBH         limite3
ADDDH        limite3
CLRC         OVM

RPT          #2
SFL          ;multiplica por 8 para aumentar precisao

ADDS         meio5        ;arredondamento
LDP          #4
SACH         vqneg
;calc_vdneg
LDP          #5h
LACC         #0
LT           umdiv3
MPY          vda
LTA          r3div6
MPY          vqb
LTA          umdiv6
MPY          vdb
LTS          r3div6
MPY          vqc
LTS          umdiv6
MPY          vdc
SPAC
SETC         OVM          ;limitando antes de multiplicar por 8
ADDDH        limite3      ;para evitar possivel overflow.
SUBH         limite3
SUBH         limite3
ADDDH        limite3
CLRC         OVM

RPT          #2
SFL

ADDS         meio5        ;arredondamento
LDP          #4h
SACH         vdneg
;calc_vq0
LDP          #5h
LACC         #0
LT           umdiv3
MPY          vqa
MPYA         vqb
MPYA         vqc
APAC

SETC         OVM          ;limitando antes de multiplicar por 8
ADDDH        limite3      ;para evitar possivel overflow.
SUBH         limite3
SUBH         limite3
ADDDH        limite3
CLRC         OVM

RPT          #2
SFL

ADDS         meio5        ;arredondamento
LDP          #4h
SACH         vq0
;calc_vd0
LDP          #5h
LACC         #0
LT           umdiv3
MPY          vda

```



```

        MPYA                vdb
        MPYA                vdc
        APAC

        SETC                OVM                ;limitando antes de multiplicar por 8
        ADDH                limite3            ;para evitar possivel overflow.
        SUBH                limite3
        SUBH                limite3
        ADDH                limite3
        CLRC                OVM

        RPT                 #2
        SFL

        ADDS                meio5              ;arredondamento
        LDP                 #4h
        SACH                vd0

;fimdeseq
        RET

*****
* File Name: parametros.inc
* checksum de erro com 8 bits
* testar faixa e carregar parametros
* Autor: Marcio Brumatti
* Data: 02/06/2008
* Atualizado em: 28/08/2008, 11/03/2009 por Vinicius Secchin de Melo
*****
        .text
check
;se check ok, acc=0
;se erro, acc = 1

        LDP                 #6
        SPLK                #0,checksum

        LARP                AR1
        LRLK                AR1, #9781h        ;posição do 1o parametro

soma
        LACL                *+
        ADD                 checksum
        SACL                checksum
        SAR                 AR1,aux_buf
        LACC                aux_buf
        SUB                 #9795h            ;posição do checksum
        BCND                soma,NEQ
        LACL                checksum
        AND                 #00FFh
        SACL                checksum
        SUB                 *
        BCND                fimcheck,EQ
        LACL                #1                ;erro de checksum:>acc=1
                                                ;check ok:>acc=0

fimcheck
        RET
*****
parametrizar
;carrega os parâmetros nas variáveis correspondentes
;variáveis auxiliares: - par_aux: utilizada para testar o parâmetro
;
;      - ft: fator de escala, inicializada com valor
;                      igual a 17514
;
;      flags: - vlr_inc: o BIT zero é setado se algum
;              parâmetro estiver fora da faixa
;

        SPM                 2
        LDP                 #6

        LARP                AR1
        LRLK                AR1, #9781h        ;posição do 1o parametro
        LACL                *+
        SACL                cfg_comp

;testando e carregando o valores dos parâmetros de p04 a p22

        LDP                 #7
        SPLK                #0,vlr_inc

;parâmetro p04 (vposzminf) - Valor V+ para início de atuação na subtenção (0,95 a 1,0 pu -> 190 a 200 bits)

        LACL                *+
        SACL                par_aux
        SUB                 #200
        BCND                valorinc,GT
        LACL                par_aux
        SUB                 #190
        BCND                valorinc,LT
        LT                  par_aux
        MPY                 ft
        PAC
        SACH                p04,5

;parâmetro p05 (vposzmsup) - Valor V+ para início de atuação na sobre tensão (1,0 a 1,05 pu -> 200 a 210 bits)

        LACL                *+
        SACL                par_aux
        SUB                 #210
        BCND                valorinc,GT
        LACL                par_aux
        SUB                 #200
        BCND                valorinc,LT
        LT                  par_aux
        MPY                 ft
        PAC

```

SACH p05,5

;parâmetro p06 (vneg) - Valor do FD para início de atuação da seq. - (0,0 a 0,05 pu -> 0 a 10 bits)

LACL *+
 SACL par_aux
 SUB #10
 BCND valorinc,GT
 LACL par_aux
 BCND valorinc,LT
 LT par_aux
 MPY ft
 PAC
 SACH p06,5

;parâmetro p07 (v0zm) - Valor mínimo de V0 para início de atuação da seq. 0 (0,0 a 0,05 pu -> 0 a 10 bits)

LACL *+
 SACL par_aux
 SUB #10
 BCND valorinc,GT
 LACL par_aux
 BCND valorinc,LT
 LT par_aux
 MPY ft
 PAC
 SACH p07,5

;parâmetro p08 (dvposmin) - Valor limite para saída de operação do controle de V+ (0,0 a 0,10 pu -> 0 a 20 bits)

LACL *+
 SACL par_aux
 SUB #20
 BCND valorinc,GT
 LACL par_aux
 BCND valorinc,LT
 LT par_aux
 MPY ft
 PAC
 SACH p08,5

;parâmetro p09 (dvnegmin) - Valor limite para saída de operação do controle de V- (0,0 a 0,10 pu -> 0 a 20 bits)

LACL *+
 SACL par_aux
 SUB #20
 BCND valorinc,GT
 LACL par_aux
 BCND valorinc,LT
 LT par_aux
 MPY ft
 PAC
 SACH p09,5

;parâmetro p10 (dv0min) - Valor limite para saída de operação do controle de V0 (0,0 a 0,10 pu -> 0 a 20 bits)

LACL *+
 SACL par_aux
 SUB #20
 BCND valorinc,GT
 LACL par_aux
 BCND valorinc,LT
 LT par_aux
 MPY ft
 PAC
 SACH p10,5

;parâmetro p11 (vposrefmin) - Tensão mínima de referência (0,93 a 1,0 pu -> 186 a 200 bits)

LACL *+
 SACL par_aux
 SUB #200
 BCND valorinc,GT
 LACL par_aux
 SUB #186
 BCND valorinc,LT
 LT par_aux
 MPY ft
 PAC
 SACH p11,5

;parâmetro p12 (v0_ref) - Tensão de referência a vazio (0,93 a 1,05 pu -> 186 a 210 bits)

LACL *+
 SACL par_aux
 SUB #210
 BCND valorinc,GT
 LACL par_aux
 SUB #186
 BCND valorinc,LT
 LT par_aux
 MPY ft
 PAC
 SACH p12,5

;parâmetro p13 (vposrefmax) - Tensão máxima de referência (1,0 a 1,05 pu -> 200 a 210 bits)

LACL *+
 SACL par_aux
 SUB #210
 BCND valorinc,GT
 LACL par_aux
 SUB #200
 BCND valorinc,LT
 LT par_aux

```

MPY          ft
PAC
SACH         p13,5

```

```

;parâmetro p14 - (vcc_refn) Tensão de referência Vdc (360 a 440 V -> 180 a 220 bits)
;o valor recebido representa a metade do valor em Volts
;faixa: 360 -> 440 V

```

```

LACL        *+
SACL        par_aux
SUB         #220
BCND        valorinc,GT
LACL        par_aux
SUB         #180
BCND        valorinc,LT
LT          par_aux
MPY         ft_dc
PAC
SACH         p14,5

```

```

;parâmetro p15 (kp_pos) - Ganho proporcional dos reguladores de tensão +
;o valor será multiplicado por 2^4
;faixa: 31 -> 255

```

```

LACL        *+
SACL        par_aux
SUB         #255
BCND        valorinc,GT
LACL        par_aux
SUB         #31
BCND        valorinc,LT
LACL        par_aux
SACL        p15,4

```

```

;parâmetro p16 (ki_pos) - Ganho integral dos reguladores de tensão +
;não será multiplicado
;faixa: 10 -> 100

```

```

LACL        *+
SACL        par_aux
SUB         #100
BCND        valorinc,GT
LACL        par_aux
SUB         #10
BCND        valorinc,LT
LACL        par_aux
SACL        p16

```

```

;parâmetro p17 (kp_neg) - Ganho proporcional dos reguladores de tensão -
;o valor será multiplicado por 2^8
;faixa: 20 -> 127

```

```

LACL        *+
SACL        par_aux
SUB         #127
BCND        valorinc,GT
LACL        par_aux
SUB         #20
BCND        valorinc,LT
LACL        par_aux,1
SACL        p17,7

```

```

;parâmetro p18 (ki_neg) - Ganho integral dos reguladores de tensão -
;não será multiplicado
;faixa: 10 -> 100

```

```

LACL        *+
SACL        par_aux
SUB         #100
BCND        valorinc,GT
LACL        par_aux
SUB         #10
BCND        valorinc,LT
LACL        par_aux
SACL        p18

```

```

;parâmetro p19 (kp_0) - Ganho proporcional dos reguladores de tensão 0
;o valor será multiplicado por 2^8
;faixa: 20 -> 127

```

```

LACL        *+
SACL        par_aux
SUB         #127
BCND        valorinc,GT
LACL        par_aux
SUB         #20
BCND        valorinc,LT
LACL        par_aux,1
SACL        p19,7

```

```

;parâmetro p20 (ki_0) - Ganho integral dos reguladores de tensão 0
;não será multiplicado
;faixa: 10 -> 100

```

```

LACL        *+
SACL        par_aux
SUB         #100
BCND        valorinc,GT
LACL        par_aux
SUB         #10
BCND        valorinc,LT
LACL        par_aux
SACL        p20

```

```

;parâmetro p21 (kp_vcc) - Ganho proporcional do regulador da tensão do elo CC

```

```
;o valor será multiplicado por 2^8
;faixa: 20 -> 127
```

```
LACL      *+
SACL      par_aux
SUB        #127
BCND       valorinc,GT
LACL      par_aux
SUB        #20
BCND       valorinc,LT
LAC        par_aux,l
SACL      p21,7
```

```
;parâmetro p22 (ki_vcc) - Ganho integral do regulador da tensão do elo CC
;não será multiplicado
;faixa: 10 -> 100
```

```
LACL      *+
SACL      par_aux
SUB        #100
BCND       valorinc,GT
LACL      par_aux
SUB        #10
BCND       valorinc,LT
LACL      par_aux
SACL      p22
```

```
;transferência para os variaveis utilizadas pelo programa
```

```
LACL      p04
LDP        #6
SACL      vposzminf

LDP        #7
LACL      p05
LDP        #6
SACL      vposzmsup

LDP        #7
LACL      p06
LDP        #4
SACL      vneg

LDP        #7
LACL      p07
LDP        #6
SACL      v0zm

LDP        #7
LACL      p08
LDP        #6
SACL      dvposmin

LDP        #7
LACL      p09
LDP        #6
SACL      dvnegmin

LDP        #7
LACL      p10
LDP        #6
SACL      dv0min

LDP        #7
LACL      p11
LDP        #6
SACL      vposrefmin

LDP        #7
LACL      p12
LDP        #6
SACL      vposk

LDP        #7
LACL      p13
LDP        #6
SACL      vposrefmax

LDP        #7
LACL      p14
LDP        #4
SACL      vcc_refn

LDP        #7
LACL      p15
LDP        #6
SACL      kp_pos

LDP        #7
LACL      p16
LDP        #6
SACL      ki_pos

LDP        #7
LACL      p17
LDP        #6
SACL      kp_neg

LDP        #7
LACL      p18
LDP        #6
SACL      ki_neg

LDP        #7
LACL      p19
```

```

LDP      #6
SACL     kp_0

LDP      #7
LACL     p20
LDP      #6
SACL     ki_0

LDP      #7
LACL     p21
LDP      #4
SACL     kp_vcc

LDP      #7
LACL     p22
LDP      #4
SACL     ki_vcc
B        fim_carrega

valorinc
LDP      #7
SPLK     #1,vlr_inc

fim_carrega
RET

*****
* File Name : serial.inc
* rotinas de comunicação serial do DSP
* registro de rx na posição de memória a partir de #9780h (DP 303d)
* Autor: Marcio Brumatti
* Data: 27/05/2008
* Atualizado em: 05/09/2008 por Vinicius Secchin de Melo
*****

.text
rx_serial
LDP      #DP_SCI
LACL     SCIRXST
AND      #0040h
BCND     teste_stat_rx,EQ      ;reg RXBUF com valor novo?
                                ;se "não", testa status de rx

LARP     AR1
LACL     SCIRXBUF      ;dado novo
SACL     *+
LDP      #6
LACL     n_rx
ADD      #1
SACL     n_rx
SPLK     #0,time_out
SPLK     #1,status_rx
B        fim_rx

teste_stat_rx
LDP      #6
LACL     status_rx      ;está recebendo frame?
SUB      #1              ;status_rx=1
BCND     fim_rx,NEQ
                                ;sim,incrementa time_out

LACL     time_out
ADD      #1
SACL     time_out

SUB      #21              ;intervalo de 4 bytes
BCND     fim_rx,LT      ;se time_out menor que 21
                                ;time_out esgotou

SPLK     #0,time_out
SPLK     #2,status_rx      ;frame recebido

;processa frame
LACL     n_rx
SUB      #1
BCND     teste_n2,NEQ      ;se n!=1, testa se é=2
                                ;n=1

LARP     AR1
LRLK     AR1, #9780h      ;posição inicial do frame
LACL     *
SUB      #200              ;comando capture ?
BCND     fim_proces,NEQ      ;se comando correto, acc=0

;comando capture recebido do pc

LDP      #6
LACC     trans_buf      ;se já está transmitindo
BCND     fim_proces,NEQ      ;entao ignora comando

;prepara para transmitir buffer para o pc
SPLK     #1,carrega_buf      ;inicializa buffer
SPLK     #0,trans_buf
SPLK     #0,trans_HouL
LRLK     AR2, #8002h
LRLK     AR3, #83EAh
LRLK     AR4, #87D2h
LRLK     AR5, #8BBAh

B        fim_proces

;teste se n é 2
teste_n2
LACL     n_rx
SUB      #2
BCND     teste_n3,NEQ      ;se n!=2, testa se é>=3
                                ;n=2

LARP     AR1
LRLK     AR1, #9780h      ;posição inicial do frame
LACL     *+
SUB      #153              ;função comando/comunicação?
BCND     fim_proces,NEQ      ;se sim, acc=0

```

```

;pacote de função comando/comunicação recebido
LACL      *
SUB        #75
BCND      fim_proces,NEQ                ;comando parametrizar ou desligar?
                                           ;se sim, acc=0
                                           ;comando parametrizar recebido
                                           ;desliga STATCOM para parametrização

LDP        #DP_IO
LACL      PCDATDIR
AND        #0FF3Dh
SACL      PCDATDIR
LDP        #6
SPLK      #MOD0_PARAMETRIZAR, modo
LACL      cfg_comp
AND        #16
SACL      cfg_comp
LDP        #7
SPLK      #1,vlr_inc

B          fim_proces

teste_n3

LACL      n_rx
SUB        #22
BCND      fim_proces,NEQ                ;se n_rx !=22

LARP      AR1
LRLK      AR1, #9780h
LACL      *
SUB        #100
BCND      fim_proces,NEQ                ;se comando correto, acc=0

;recebeu pacote de parametros
;testa checksum e parâmetros

CALL      check
BCND      erro_comunic,NEQ
CALL      parametrizar
LDP        #7
LACL      vlr_inc
BCND      erro_comunic,NEQ
LDP        #6
SPLK      #1,trans_msn
SPLK      #250,mensagem
B          fim_proces

erro_comunic

SPLK      #1,trans_msn
SPLK      #90,mensagem

fim_proces

LDP        #6
SPLK      #0,status_rx
SPLK      #0,n_rx
LRLK      AR1, #9780h

;flag de rx data=0->não está recebendo
;zera contador de bytes recebidos
;reinicia ponteiro de rx data

fim_rx

RET

;tx_serial

LDP        #6

;trans?

LACC      status_tx
BCND      test_st_tx,NEQ
LACC      time_out_tx
SUB        #36
BCND      atual_st_tx,EQ

ADD        #37
SACL      time_out_tx
B          fim_tx

atual_st_tx
;define ordem de prioridade para transmissão

LACC      trans_buf
BCND      trans_ihm?,EQ
SPLK      #1,status_tx
B          send_buf

;1:transmitir buffer para pc

trans_ihm?

LACC      trans_data
BCND      trans_msn?,EQ
SPLK      #2,status_tx
SPLK      #9800h,n_tx
B          send_data

;2:transmitir dados para ihm
;inicia ponteiro com end. do inicio
;da pilha de dados

trans_msn?

LACC      trans_msn
BCND      fim_tx,EQ
SPLK      #3,status_tx
B          send_msn

;3:transmitir msn para ihm

test_st_tx
;está em transmissão de algo

```

```

        LACC      status_tx
        SUB       #1
        BCND     send_buf,EQ
        SUB       #1
        BCND     send_data,EQ
        SUB       #1
        BCND     send_msn,EQ
        B        fim_tx

send_buf
;enviando buffer para o pc

        CALL     tx_buf_pc
        LDP      #6
        SPLK     #0,time_out_tx
        B        fim_tx

send_data
;enviando dados para ihm

        CALL     tx_data
        LDP      #6
        SPLK     #0,time_out_tx
        B        fim_tx

send_msn

        CALL     tx_msn
        LDP      #6
        SPLK     #0,time_out_tx
        B        fim_tx

;enviando mensagem para ihm

fim_tx

        RET

*****
* File Name : protecao.inc
*
* Contem as rotinas para protecao do STATCOM contra erros
* de ligacao-seq. de fase invertida, falta de fase,
* falta de neutro, subtenso, sobretenso.
* Autor: Marcio Brumatti
* Data: 02/06/2008
* Atualizado em: 22/02/2009 por Vinicius Secchin de Melo
        .text
*****
seqfase

        LDP      #4

        LACC     freq
        SUB      #22000
        BCND     fim_seqfase,GT
;freq nom = 24700d
;sequencia de fase invertida
;pll não convergiu

        LDP      #6
        SPLK     #MODO_DESABILITADO, modo
        SPLK     #1,trans_msn
        SPLK     #50,mensagem
;transmitir msn para ihm

fim_seqfase

        RET
*****
;
; rearma_STATCOM

        LDP      #6
        LACL     trip_ctr
        SUB      #1
        BCND     espera_1,EQ
        SUB      #1
        BCND     espera_2,EQ
        SUB      #1
        BCND     espera_3,EQ
        SUB      #1
        BCND     desabilitar,EQ

espera_1
;espera 1 s antes de entrar no modo INICIANDO
        LDP      #6
        LACL     atraso1
        SUB      #1
        SACL     atraso1
        BCND     iniciar,EQ
        B        fim_rearma_STATCOM

espera_2
;espera 50 s antes de entrar no modo INICIANDO
        LDP      #6
        LACL     atraso1
        SUB      #1
        SACL     atraso1
        BCND     fim_rearma_STATCOM,NEQ
        SPLK     #5000,atraso1
        LACL     atraso2
        SUB      #1
        SACL     atraso2
        BCND     iniciar,EQ
        B        fim_rearma_STATCOM

espera_3
;espera 110 s antes de entrar no modo INICIANDO
        LDP      #6
        LACL     atraso1
        SUB      #1

```

```

SACL      atraso1
BCND      fim_rearma_STATCOM,NEQ
SPLK      #5000,atraso1
LACL      atraso3                      ;iniciado com 110 (110s)
SUB       #1
SACL      atraso3
BCND      iniciar,EQ
B         fim_rearma_STATCOM

iniciar
LDP       #6
SPLK      #0,errormsg
SPLK      #50,atraso2
SPLK      #110,atraso3
SPLK      #MODO_INICIANDO,modo
LACL      cfg_comp
OR        #16
SACL      cfg_comp
SPLK      #0,flaginit
SPLK      #5001,delay2
SPLK      #12,delay
B         fim_rearma_STATCOM

desabilitar
LDP       #6
SPLK      #MODO_DESABILITADO,modo

fim_rearma_STATCOM
RET

*****
* File Name : tx_pc.inc
*****
;transmissao do buffer para o PC usando porta serial
*****
* Autor: Marcio Brumatti
* Data: 19/06/2007
* Atualizado em: 07/06/2008
*****
tx_buf_pc
LDP       #DP_SCI
LACL      SCICTL2
AND       #0080h
BCND      fim_txbuf, EQ                ;reg TXBUF esta vazio?

LDP       #6
LACL      trans_HouL                  ;sim, transmite prox. byte
BCND      trans_H, NEQ                ;transmitir Hbyte ou Lbyte?
SPLK      #1,trans_HouL              ;trans. Lbyte e prepara prox.
LDP       #DP_SCI
LARP      AR2
LACC      *
SACL      SCITXBUF                    ;nao increm. pois falta o Hbyte
B         fim_txbuf

trans_H
SPLK      #0,trans_HouL              ;trans. Hbyte e prepara prox.
LDP       #DP_SCI
LARP      AR2
LACC      *,8
SACH      SCITXBUF                    ;

LDP       #6
SAR       AR2,aux_buf                ;-->compara AR2 com o fim do buffer
LACC      aux_buf
SUB       #8FA2h                      ;fim buff+1
BLZ       fim_txbuf                  ;ainda nao acabou
SPLK      #0,trans_buf               ;fim de buffer transmitido
SPLK      #0,status_tx

fim_txbuf
RET

*****
* File Name : tx_ihm.inc
*****
;transmissao de status e msn para ihm
*****
* Autor: Marcio Brumatti
* Data: 02/05/2008
* Atualizado em: 29/08/2008 por Vinicius secchin de Melo
*****
tx_msn
LDP       #DP_SCI
LACL      SCICTL2
AND       #0080h
BCND      fim_tx_msn,EQ                ;reg TXBUF esta vazio?

LDP       #6
LACL      n_tx
BCND      trans_n2,NEQ                ;transmite 1o byte:função

ADD       #1
SACL      n_tx
LACL      #153                      ;cod. função comando/comunicação
LDP       #DP_SCI
SACL      SCITXBUF
B         fim_tx_msn

trans_n2

```



```

SPLK      #0,trans_msn      ;fim de msn transmitida
SPLK      #0,status_tx
SPLK      #0,n_tx
LACL      mensagem          ;transmite 2o byte:msn
LDP       #DP_SCI
SACL      SCITXBUF

```

fim_tx_msn

RET

tx_data

```

LDP       #DP_SCI
LACL      SCICTL2
AND       #0080h
BCND      fim_tx_data,EQ      ;reg TXBUF esta vazio?

LDP       #6
LARP      AR2                 ;seleciona AR2
SAR       AR2,aux_buf         ;salva AR2
LAR       AR2,n_tx            ;carrega AR2 com ponteiro
                                      ;da pilha de dados

LDP       #DP_SCI
LACC      *+
SACL      SCITXBUF
LDP       #6
SAR       AR2,n_tx            ;compara AR2 com o fim do buffer
LAR       AR2,aux_buf         ;restaura AR2
LACC      n_tx
SUB       #9812h              ;fim pilha+1
BLZ       fim_tx_data         ;ainda nao acabou

SPLK      #0,trans_data       ;fim de status transmitido
SPLK      #0,status_tx
SPLK      #0,n_tx

```

fim_tx_data

RET

load_data

;rotina que carrega pilha com dados para transmitir para a ihm

```

LDP       #6

LACL      delay_data
SUB       #1
SACL      delay_data
BCND      fim_load,NEQ
SPLK      #25000,delay_data      ;25000
LACL      modo
BCND      fim_load,EQ
SPLK      #1,trans_data          ;seta flag para tx dados
                                      ;carrega dados na pilha
                                      ;pilha inicia em 9800h,DP304

LARP      AR2                 ;seleciona AR2
SAR       AR2,aux_buf         ;salva AR2
LRLK      AR2,#9800h
LACC      #200                 ;cod. função dados
SACL      *+

LACC      modo
SACL      *+
LACC      hbt_comp
SACL      *+
LDP       #4
LACC      vpos
SACL      *+
LACC      vpos,8
SACH      *+
LACC      vneg
SACL      *+
LACC      vneg,8
SACH      *+
LACC      v0
SACL      *+
LACC      v0,8
SACH      *+
LDP       #6
LACC      dvpos
SACL      *+
LACC      dvpos,8
SACH      *+
LACC      dvneg
SACL      *+
LACC      dvneg,8
SACH      *+
LACC      dv0
SACL      *+
LACC      dv0,8
SACH      *+
LDP       #4
LACC      vcc_lpn
SACL      *+
LACC      vcc_lpn,8
SACH      *+
LDP       #6
LACL      errormsg
SACL      *+
LAR       AR2,aux_buf          ;restaura AR2

```

```

fim_load

                                RET

*****

* File Name : Retpolar.inc
*
* macros para transformação da forma retangular para polar
* Autor: Marcio Brumatti
* Data: 05/07/2007
* Atualizado em: 23/01/2008
*****

                                .text

*****
;macro que obtem o angulo fi
;entradas: vd e vq
;saída: fi

CALC_FI .macro          d, q, fi

                                LACC          d
                                ABS
                                SACL          dtemp
                                LACC          q
                                ABS
                                SACL          qtemp
                                SUB            dtemp

                                CALL          calculafi          ;obtem o angulo fi no 1o Quad.
                                ZALH          q                  ;acerto do quadrante
                                CC            suplementa, LT
                                ZALH          d
                                CC            inverte, GT
                                LACL          fitemp
                                SACL          fi

                                .endm

*****
;rotina usada na macro calc_fi: calcula fi no 1ºQ

calculafi
                                BCND          ddivq,GEQ          ;se qtemp>dtemp, entao faz d/q
                                LACC          qtemp
                                SACL          numera          ;qtemp/dtemp
                                LACC          dtemp
                                SACL          denomi
                                CALL          Divip
                                LACL          quot
                                RPT            #3
                                SFR
                                AND            #07FFh
                                ADD            #arctang
                                TBLR          fitemp
                                LACC          #4000h
                                SUB            fitemp
                                SACL          fitemp
                                B              fimcalculafi

ddivq
                                LACC          dtemp
                                SACL          numera
                                LACC          qtemp
                                SACL          denomi
                                CALL          Divip
                                LACL          quot
                                RPT            #3
                                SFR
                                AND            #07FFh
                                ADD            #arctang
                                TBLR          fitemp

fimcalculafi
                                RET
*****
; rotinas usadas na macro calc_fi: acertam o quadrante do angulo fi

suplementa
                                LACC          #08000h
                                SUB            fitemp
                                SACL          fitemp
                                RET

inverte
                                LACL          fitemp
                                NEG
                                SACL          fitemp
                                RET

*****
;macro que calcula a magnitude da grandeza na forma polar
;entradas: d, q
;saída:s
;s=raiz(d^2 + q^2)

PITAGORAS .macro d, q, s

                                LACC          s
                                SACL          denomi          ;carrega denomi com valor atual de vpos
                                LACC          #0
                                LT            q
                                MPY          q
                                LTA          d

```

```

        MPY            d
        APAC
        ADDS          meio      ;arredondamento

        SACH          aux       ;aux=vqpos*vqpos+vdpos*vdpos
        LACC          aux       ;carrega acc com vpos2

        CALL          sqrt
        SACL          s

    .endm
*****
; rotina para transformação da forma retangular para polar
; entradas: vqpos, vdpos, vqneg, vdneg, vq0, vd0
; saidas: vpos,fivpos,vneg,fivneg,v0,fiv0

vdq_pol_pn0
        SETC          OVM       ;mode overflow,acc limitado
        SETC          SXM       ;sinal estendido
        SPM           1         ;multiplicacao fracionaria
        LDP           #4h

*****obtendo vpos a partir de vqpos e vdpos*****

        PITAGORAS     vdpos,vqpos,vpos
        CALC_FI       vdpos, vqpos, fipos

*****obtendo vneg a partir de vqneg e vdneg*****

        PITAGORAS     vdneg,vqneg,vneg
        CALC_FI       vdneg, vqneg, fineg

*****obtendo v0 a partir de vq0 e vd0*****

        PITAGORAS     vd0,vq0,v0
        CALC_FI       vd0, vq0, fiv0

        RET

*****fim de rotina ret_polar*****
*****

vdqs_polar

        SETC          OVM       ;mode overflow,acc limitado
        SETC          SXM       ;sinal estendido
        SPM           1         ;multiplicacao fracionaria
        LDP           #4h

        PITAGORAS     vds_out,vqs_out,vs_out
        CALC_FI       vds_out, vqs_out, fis_out

        RET

*****
* File Name : raiz_div.inc
* rotina para calculo de raiz quadrada e
* rotina para divisao de dois numeros
* Autor: Marcio Brumatti
* Data: 05/07/2007
* Atualizado em: 23/01/2008
        .text
*****
* Rotina para calculo de raiz quadrada.
* O numero para o qual se deseja calcular a raiz deve estar
* no acc low. O valor atual da raiz deve estar em denomi.
* A raiz calculada nesta interação fica salva no ACC low. O numero
* deve ser fracionario e nao negativo.
* [0, +1] -> [0, +32k]
*****

sqrt
        SUB          #1         ;limita valor mínimo para tirar a raiz
        BCND        maiorque1,GEQ
        LACC        #0         ;em 5 =>5/32767
                                ;menor que zero

maiorque1:
        ADD          #1         ;valor mínimo para tirar a raiz
                                ;valor que deve ser tirado a raiz está em ACC
        SACL        numera      ;numera é o numero que deve ser tirada a raiz
        CALL        Divip       ;divisao de 2 num. positivos
        LACL        quot
        ADD         denomi
        SFR

        RET              ;raiz esta em acc low

*****
*****ROTINA DE DIVISÃO *****
;divisao de 2 num. positivos sendo o numerador
;menor que o denominador

Divip
        LACL        numera
        BCND        num_e_0,EQ   ;numerador é zero?
        SUB        denomi

        BCND        naodivide,GEQ ;se numera>=denomi,naodivide
        ZALH        numera
        RPT         #14
        SUBC        denomi
        SACL        quot
        B           fimdiv       ;resultado em acc low

```

```

naodivide                                ;numera>=denomi
                                           ;resultado >= 1
                                           ;carrega quot com 1.
        SPLK          #07FFFh,quot
        B             fimdiv

num_e_0      SPLK          #0,quot          ;numera=0, => quot=0
                                           ;assim para 0/0, quot=0

fimdiv

        RET
*****

;calculo da potencia de entrada

;P= va.ia + vb.ib + vc.ic

calcula_pot

        SETC          OVM

        LDP          #4
        LT          sinalva
        LDP          #6
        MPY          sinalia
        PAC
        LDP          #4
        LT          sinalvb
        LDP          #6
        MPY          sinalib
        APAC
        LDP          #4
        LT          sinalvc
        LDP          #6
        MPY          sinalic
        APAC
        SACH          pot

        RET
*****
*
* File Name : controle.inc
*
* Autor: Marcio Brumatti
* Data: 27/01/2008
* Atualizado em: 24/09/2008 por Vinicius Secchin de Melo

        .text

*****
media_dv

        LDP          #6                                ;tirando média de amostras
        LACL         delay                             ; de dv pos, dv neg e dv0
        SUB          #1
        SACL         delay
        BCND         semnovamedia,GT                  ;a cada 10ms acumula dvpos

        SPLK         #5000,delay                      ;501-1=500vezes 200us = 100ms
        LACC         dvpos_soma
        ADD          dvpos
        SACL         dvpos_soma

        LACC         dvneg
        SFR
        SFR
        ADD          dvneg_soma
        SACL         dvneg_soma

        LACC         dv0
        SFR
        SFR
        ADD          dv0_soma
        SACL         dv0_soma

        LACL         delay2
        SUB          #1
        SACL         delay2
        BCND         semnovamedia,GT                  ;a cada 4 vezes tira média
        SPLK         #4,delay2
        LACC         dvpos_soma
        SFR
        SFR
        SACL         dvposmed                          ;tira media dos 4 valores
        SPLK         #0,dvpos_soma

        LACC         dvneg_soma
        SACL         dvnegmed
        SPLK         #0,dvneg_soma                    ;carrega media de dvneg

        LACC         dv0_soma
        SACL         dv0med
        SPLK         #0,dv0_soma                      ;carrega media de dv0

        SPLK         #1,novamedia
        B             fimdemedia

semnovamedia      SPLK         #0,novamedia

fimdemedia

```

```

RET
*****
verif_hab_vpos
;verifica condições para habilitar controle de seq. positiva

LDP      #4
LACL     vpos
LDP      #6
SUB       vposzmsup
BCND     hab_ctl_vpos,GT      ;se v+ > v+ zm superior
LDP      #4                  ;habilita controle vpos
LACL     vpos
LDP      #6
SUB       vposzminf
BCND     nao_hab_vpos,GEQ     ;se v+ < v+ zm inferior
                                   ;habilita controle vpos

hab_ctl_vpos
LACL     stat_ctl
OR       #0001h
SACL     stat_ctl
LDP      #4
LACL     vpos
LDP      #6
SACL     vpos_ref
SPLK     #0,u_vpos_h         ;zerando termo integral
SPLK     #0,u_vpos_l

nao_hab_vpos

RET
*****
verif_desab_vpos
;verifica saída de controle de seq positiva

LDP      #6
LACL     novamedia
BCND     fim_desab_pos,EQ     ;se não tiver uma media nova
                                   ;se não(="0")=>não executa teste

LACC     dvposmed
SUB       dvposmin
BCND     initcontdvmin,GT     ;se dv+ > +dv+min
LACC     dvposmed
ADD       dvposmin
BCND     initcontdvmin,LT     ;se dv+ < -dv+min

LACL     contdvmin
SUB       #1
SACL     contdvmin
BCND     fim_desab_pos,GT     ;sair de controle de vpos

LACL     stat_ctl
AND      #0FFFEh
SACL     stat_ctl
;B       fim_desab_pos

initcontdvmin
SPLK     #6,contdvmin        ;reinicia a contagem de dvpos min

fim_desab_pos

RET
*****
verif_hab_vneg
;verifica condições para habilitar controle de seq. negativa

LDP      #4
LACL     vneg
LDP      #6
SUB       vnegzm
BCND     nao_hab_vneg,LT     ;se v- > v- zm

LACL     stat_ctl
OR       #0002h
SACL     stat_ctl
SPLK     #0,u_vneg_h         ;zerando termo integral
SPLK     #0,u_vneg_l

nao_hab_vneg

RET
*****
verif_desab_vneg
;verifica saída de controle de seq. negativa

LDP      #6
LACL     novamedia
BCND     fim_desab_neg,EQ     ;se não tiver uma media nova
                                   ;se não(="0")=>não executa teste

LACC     dvnegmed
ADD       dvnegmin
BCND     initcontdvmin2,LEQ   ;se dv- > +dv-min
LACL     contdvmin2
SUB       #1
SACL     contdvmin2
BCND     fim_desab_neg,GT     ;sair de controle de vpos

LACL     stat_ctl
AND      #0FFFDh
SACL     stat_ctl
;desabilita controle de vneg

```

```

initcontdvmin2
    SPLK    #6,contdvmin2    ;reinicia a contagem de dvneg min

fim_desab_neg
    RET

*****
verif_hab_v0
;verifica condições para habilitar controle de seq. 0

    LDP     #4
    LACL    v0
    LDP     #6
    SUB     v0zm
    BCND    nao_hab_v0,LT    ;se v0 > v0 zm

    LACL    stat_ctl
    OR      #0004h           ;seta bit 2
    SACL    stat_ctl

    SPLK    #0,u_v0_h        ;zerando termo integral
    SPLK    #0,u_v0_l

    LDP     #DP_IO
    LACL    PCDATDIR
    OR      #0080h           ;kn=1
    SACL    PCDATDIR
    LDP     #6
    B       fimverifhab0

nao_hab_v0
    LDP     #DP_IO
    LACL    PCDATDIR
    ;AND    #0FF7Fh           ;kn=0

    SACL    PCDATDIR
    LDP     #6

fimverifhab0
    RET

*****
verif_desab_v0
;verifica saída de controle de seq. zero

    LDP     #6
    LACL    novamedia        ;se não tiver uma media nova
    BCND    fim_desab_0,EQ    ;se não(="0")=>não executa teste

    LACC    dv0med
    ADD     dv0min
    BCND    initcontdvmin3,LEQ ;se dv0 > +dv0min
    LACL    contdvmin3        ;deve sair de operação após
    SUB     #1                ;n vezes seguidas menor que mínimo
    SACL    contdvmin3
    BCND    fim_desab_0,GT    ;sair de controle de v0

    LACL    stat_ctl
    AND     #0FFFBh           ;desabilita controle de v0
    SACL    stat_ctl

    LDP     #DP_IO
    LACL    PCDATDIR
    AND     #0FF7Fh           ;kn=0
    SACL    PCDATDIR

    LDP     #6

initcontdvmin3
    SPLK    #6,contdvmin3    ;reinicia a contagem de dv0 min

fim_desab_0
    RET

*****
INICIANDO .macro

    LDP     #6
    LACL    delay2
    SUB     #5001             ;no inicio delay2=5001
    BCND    decdelay,NEQ      ;
    LDP     #DP_IO            ;reset'=0
    LACL    PCDATDIR
    AND     #0FFFEh
    SACL    PCDATDIR

decdelay
    LDP     #6
    LACL    delay2
    SUB     #1
    SACL    delay2
    BCND    espera_inicializar,NEQ

    LACL    delay              ;apos 1s passa por aqui
    SUB     #1                 ;e faz reset'=1
    SACL    delay
    SPLK    #5000,delay2      ;reinicia delay2 com 5000

```

```

LDP      #DP_IO
LACL     PCDATDIR
OR        #0001h          ;reset'=1
SACL     PCDATDIR

espera_inicializar:

LDP      #6
LACL     flaginit          ;flag indica se inicia pela 1a vez
BCND     fim_test_seq,NEQ   ;se 1a vez, flaginit=0

LACL     delay
SUB      #2                ;12-2=10s apos iniciar
BCND     fimdecontrole,NEQ

;teste de seq. de fase no instante t=10s.
;solicita parametros

SPLK     #1,flaginit
SPLK     #1,trans_msn      ;transmitir msn para ihm
SPLK     #90,mensagem      ;solicita parametros

CALL     seqfase
LDP      #6
LACL     modo
SUB      #7
BCND     fimdecontrole,EQ

fim_test_seq

LDP      #7
LACL     vlr_inc
LDP      #6
BCND     teste_hbt,EQ      ;vlr = "0"-> parâmetros carregados e ok
LACL     delay
BCND     fimdecontrole,NEQ ;se delay > 0 -> fimdecontrole

teste_hbt

BIT      cfg_comp,11
BCND     fim_iniciando,TC   ;se 1: entra em standby
SPLK     #MODO_PARAMETRIZAR,modo ;sim, modo = parametrizar
B        fimdecontrole

fim_iniciando

SPLK     #MODO_STANDBY,modo ;sim, modo = standby
.endm
,
*****
STANDBY
    .macro

LDP      #DP_IO
LACL     PCDATDIR
OR        #0080h          ;fecha somente kn
SACL     PCDATDIR

LDP      #6
CALL     verific_hab_vpos
LACL     stat_ctl
AND      cfg_comp
SACL     hbt_comp
BIT      hbt_comp,15      ;bit code 15 => bit0=> v+ on/off
BCND     entra_prepara, TC ;se for "1" entra em preparação

CALL     verific_hab_vneg
LACL     stat_ctl
AND      cfg_comp
SACL     hbt_comp
BIT      hbt_comp,14      ;bit code 14 => bit1=> v- on/off
BCND     entra_prepara, TC ;se for "1" entra em preparação

CALL     verific_hab_v0
LACL     stat_ctl
AND      cfg_comp
SACL     hbt_comp
BIT      hbt_comp,13      ;bit code 13 => bit2=> v0 on/off
BCND     verifica_cond, NTC ;se for "0" ;continua standby
                                ;se for "1" entra em preparação

SPLK     #MODO_PREPARA, modo
SPLK     #10000,delay      ;2s

    .endm

*****
PREPARA
    .macro

LDP      #6
LACL     delay              ;esperando tempo
SUB      #1
SACL     delay
BCND     fimdeprepara,EQ    ;acabou tempo?
CALL     equaliza           ;rotina que equaliza vout=vin

fimdeprepara

LDP      #6
SPLK     #MODO_CARGAVDC,modo ;acabou o tempo de preparação
                                ;modo = cargavdc

LDP      #4
LACL     vcc_lpn
SACL     vcc_ref

```

```

LDP      #DP_IO
LACL     PCDATDIR
OR        #0043h          ;reset=1,stop/run=1
SACL     PCDATDIR
LDP      #DP_EVA
SPLK     #8200h,COMCONA    ;config. compare control reg.
                        ;habilita operacao
                        ;8200h pwm senoidal;9200h sv pwm
                        ;habilita operação

SPLK     #0042h,GPTCONA    ;

LDP      #6

.endm

,*****

CARGAVDC .macro

LDP      #4
ZALH     vcc_ref
ADDS     vcc_ref_L
ADD      #5000
SACH     vcc_ref
SACL     vcc_ref_L
LACL     vcc_ref
SPLK     #27300,vcc_refn
SUB      vcc_refn          ;22230=360V valor final da rampa
BCND     fimdecargavdc,GEQ ;fim da rampa

CALL     equaliza          ;rotina que equaliza vout=vin
CALL     controle_vcc

B        calc_vout

fimdecargavdc:

LACL     vcc_refn
SACL     vcc_ref
LDP      #6
SPLK     #MODO_OPERANDO,modo
SPLK     #5000,delay        ;501-1=500vezes 200us = 100ms
SPLK     #4,delay2
SPLK     #10000,delay3

.endm

*****

OPERANDO .macro

;atualiza condições de controle vpos

LDP      #6
LACL     delay3            ;atraso de 2s
SUB      #1
SACL     delay3
BCND     bypass,GT
SPLK     #0,delay3

CALL     media_dv          ;rotina que tira media de dv +/-0

testhabpos
        BIT     stat_ctl,15          ;testa se controlando vpos
        BCND    testhabpos,NTC       ;bit code 15 => bit0=> v+ on/off
        CALL    verific_desab_vpos   ;se "0"=> verif habilitar
        CALL    regula_vpos
        B       testctlneg

testctlneg
        CALL    verific_hab_vpos
        CALL    equaliza            ;não regula vpos

testctlneg
        BIT     stat_ctl,14          ;bit code 14 => bit1=> v- on/off
        BCND    testhabneg,NTC       ;bit code 14 => bit1=> v- on/off
        CALL    verific_desab_vneg   ;chama regula_vneg
        CALL    regula_vneg
        B       testctlt0

testhabneg
        CALL    verific_hab_vneg

testctlt0
        BIT     stat_ctl,13          ;bit code 13 => bit2=> v0 on/off
        BCND    testhab0,NTC         ;se for "0" teste hab. 0
        CALL    verific_desab_v0     ;se for "1" verif. desab. v0
        CALL    regula_v0
        B       testsair

testhab0
        CALL    verific_hab_v0

testsair
        LACL    stat_ctl
        BCND    carregasair,EQ

bypass
        CALL    comp_ampl
        CALL    controle_vcc
        B       calc_vout

carregasair
        SPLK    #MODO_SAIR,modo

.endm

*****

SAIR .macro

LDP      #DP_IO
SPLK     #0C301h,PCDATDIR    ;c[0,1,6,7]sao saidas;inicia com reset'=1,

```



```

;Kn=0, e o resto = 0
LDP      #6
SPLK     #MODO_STANDBY, modo
SPLK     #6,delay          ;tempo de 6s
SPLK     #5001,delay2      ;5001:tempo de 1s para reset
SPLK     #0,stat_ctl       ;status do controle
SPLK     #0,dvneg_soma
SPLK     #0,dv0_soma
SPLK     #0,dvpos_soma
SPLK     #0,dvpos
SPLK     #0,dvneg
SPLK     #0,dv0
LDP      #DP_EVA
SPLK     #8000h,COMCONA    ;config. compare control reg.
                           ;saidas em alta impedancia
                           ;8200h pwm senoidal;9200h sv pwm
SPLK     #0002h,GPTCONA   ;0042 habilita saidas
                           ;alta impedancia
LDP      #6
B         fimdecontrole

.endm
,*****
ALERTA    .macro

LDP      #6
SPLK     #0,stat_ctl
SPLK     #0,dvneg_soma
SPLK     #0,dv0_soma
SPLK     #0,dvpos_soma
SPLK     #0,dvpos
SPLK     #0,dvneg
SPLK     #0,dv0

LDP      #DP_EVA
SPLK     #8000h,COMCONA    ;desabilita inversor
SPLK     #0002h,GPTCONA

LDP      #6
LACL     subtensao
BCND     chama_rearma_STATCOM,EQ
LDP      #4
LACL     vpos
SUB      #23500
BCND     fim_alerta,LT
LDP      #6
SPLK     #MODO_INICIANDO,modo
LACL     cfg_comp
OR       #16
SACL     cfg_comp
SPLK     #0,errormsg
SPLK     #0,flaginit
SPLK     #5001,delay2
SPLK     #12,delay
SPLK     #0,vpos_aux
SPLK     #0,subtensao
B         fim_alerta

chama_rearma_STATCOM
CALL     rearma_STATCOM

LDP      #6
SPLK     #5000,zera_trip1
SPLK     #180,zera_trip2

fim_alerta
LDP      #DP_IO
BIT      PCDATDIR,12      ;copia sinal de botao emergencia
BCND     entra_desabilita, TC ;se for "1" entra em modo desabil.

.endm
,*****
;rotina de controle do STATCOM
controle

LDP      #6
LACL     trip_ctr
BCND     inicio_controle,EQ ;gera atraso de 3 min e zera o
LACL     zera_trip1         ;contador de falhas
SUB      #1                 ;zera_trip1 = 5000 (1 s)
SACL     zera_trip1         ;zera_trip2 = 180 (3 min)
BCND     inicio_controle,NEQ
SPLK     #5000,zera_trip1
LACL     zera_trip2
SUB      #1
SACL     zera_trip2
BCND     inicio_controle,NEQ
SPLK     #0,trip_ctr

inicio_controle

SETC     SXM                ;extensão de sinal
SPM      1                  ;multiplicacao fracionaria
SETC     OVM                ;overflow mode, acc limitado

LDP      #6

chk_iniciando:
LACL     modo
XOR      #MODO_INICIANDO    ;está no modo iniciando?
BCND     chk_standby, NEQ    ;não, verifica outro modo

```

```

        INICIANDO                                ;modo iniciando

chk_standby:

        LACL    modo                                ;modo standby?
        XOR     #MODO_STANDBY
        BCND    chk_prepara, NEQ                    ;não. verifica se está no modo prepara

        STANDBY

chk_prepara:

        LACL    modo
        XOR     #MODO_PREPARA
        BCND    chk_cargavdc, NEQ

        PREPARA                                    ;modo prepara a operação

chk_cargavdc:

        LACL    modo
        XOR     #MODO_CARGAVDC
        BCND    chk_operando, NEQ

        CARGAVDC

chk_operando:

        LACL    modo
        XOR     #MODO_OPERANDO
        BCND    chk_sair, NEQ

        OPERANDO

chk_sair:

        LACL    modo
        XOR     #MODO_SAIR
        BCND    chk_alerta, NEQ

        SAIR

chk_alerta:

        LACL    modo
        XOR     #MODO_ALERTA
        BCND    chk_aquecimento, NEQ

        ALERTA

        B       fimdecontrole

chk_aquecimento:

        LACL    modo
        XOR     #MODO_AQUECIMENTO
        BCND    chk_desabilitado, NEQ

        B       verifica_cond

chk_desabilitado:

        LACL    modo
        XOR     #MODO_DESABILITADO
        BCND    parametrizando, NEQ

;modo desabilitado

        CALL    vdq_vabc
        LDP     #6
        SPLK    #0,stat_ctl                        ;status do controle
        SPLK    #0,dvpos
        SPLK    #0,dvneg
        SPLK    #0,dv0

        B       fimdecontrole

parametrizando:

        SPLK    #0,stat_ctl                        ;status do controle
        SPLK    #0,dvpos                          ;zera saidas dos controladores
        SPLK    #0,dvneg                          ;para mostrar zero na ihm
        SPLK    #0,dv0

        LDP     #7
        LACL    vlr_inc                            ;parametros ok?
        LDP     #6
        BCND    ligar,EQ                          ;se for '0' -> ok
        B       fimdecontrole

ligar

        BIT     cfg_comp,11
        BCND    fimdecontrole,NTC                  ;testa BIT4
                                                ;se for 0 (parado)-> fim de controle
                                                ;se for 1 (operar)-> modo STANDBY

        SPLK    #MODO_STANDBY, modo
        B       fimdecontrole

;*****
;
calc_vout    CALL    vdq_vabc
;*****
;

```

```

verifica_cond

;botao_emergencia
LDP      #DP_IO
BIT      PCDATDIR,12      ;copia sinal de botao emergencia
BCND     entra_desabilita, TC ;se for "1" entra em modo desabil.
BIT      PCDATDIR,14      ;copia saida run/stop
BCND     fimdeverifica, NTC ;se for "0" pode sair
;existe algum problema no circuito

testa_subtensao
LDP      #6
LACL     delay4            ;iniciado com 1250 = 0,25s
SUB      #1
SACL     delay4
BCND     testa_falta_de_fase,GT
SPLK     #1250,delay4      ;delay4 = 0,25s
LDP      #4
LACC     vpos
SFR
SFR
LDP      #6
ADD      vpos_aux
SACL     vpos_aux
LACL     delay5            ;iniciado com 4
SUB      #1
SACL     delay5
BCND     testa_falta_de_fase,GT
SPLK     #4,delay5
LACL     vpos_aux
SACL     vpos_med
SPLK     #0,vpos_aux
LDP      #6
LACL     vpos_med          ;original vpos_med
SUB      #22500            ;valor proposto 22452 (105Vrms)
BCND     testa_falta_de_fase,GT
LACL     errormsg
OR        #64
SACL     errormsg          ;seta o bit 6 do errormsg
SPLK     #1,subtensao
LDP      #DP_IO
LACL     PCDATDIR
AND      #0FF3Dh          ;stop e krede=0, kn=0
SACL     PCDATDIR
LDP      #6
SPLK     #MODO_ALERTA,modo
B        fimdeverifica

testa_falta_de_fase
LDP      #4
LACL     vneg
SUB      #15000            ;verificar valor ideal
BCND     testa_sobre_tensao,LT
LDP      #6
LACL     errormsg
OR        #32
SACL     errormsg          ;seta o bit 5 do errormsg
;SACL     erro_tst          ;VARIABEL ADCIONADA PARA TESTE !!
SETC     XF
B        entra_alerta

testa_sobre_tensao

;LDP      #DP_IO
;BIT      PCDATDIR,10      ;copia sinal enable' para TC (ST1bit11)
;BCND     fimdeverifica, TC ;se for "0" está operando,
;se for "1" está desabilitado e não é
;necessário nenhum teste

LDP      #DP_IO
BIT      PCDATDIR,11      ;copia sinal de sobretensao CC
BCND     testa_sobre_corrente, NTC ;se for "0" entra em testa_sobre_corrente
LDP      #6
LACL     errormsg
OR        #16
SACL     errormsg
B        entra_alerta

testa_sobre_corrente
LDP      #DP_IO
BIT      PCDATDIR,13      ;copia sinal de sobrecorrente
BCND     testa_termostato, NTC ;se for "0" -> testa_termostato
LDP      #6
LACL     errormsg
OR        #4
SACL     errormsg          ;seta o bit 2 do errormsg
B        entra_alerta

testa_termostato
LDP      #6
BIT      errormsg,15      ;testa o bit0 (inversor desabilitado=1)
BCND     inversor_desabilitado,TC
LDP      #DP_IO
BIT      PEDATDIR,8
BCND     seta_bit7,TC      ;testa o bit7
;se for "1" -> seta_bit7
LDP      #6
SPLK     #0,errormsg      ;reseta o bit7 de errormsg
LACC     #32767
SUB      dvpos_max
SACL     lim_dvpos
LDP      #7
SPLK     #5000,delay_term1
SPLK     #600,delay_term2
B        fimdeverifica

seta_bit7
LDP      #6

```

```

    LACL    errormsg
    OR      #128
    SACL    errormsg          ;seta o bit 7 do errormsg
    LACL    dvpos_max
    SFR
    SFR
    SACL    dvpos_aux
    LACC    #32767
    SUB     dvpos_aux
    SACL    lim_dvpos

    LDP     #7
    LACL    delay_term1
    SUB     #1
    SACL    delay_term1
    BCND    fimdeverifica,NEQ
    SPLK    #5000,delay_term1
    LACL    delay_term2
    SUB     #1
    SACL    delay_term2
    BCND    fimdeverifica,NEQ

    LDP     #6
    SPLK    #0,stat_ctl
    SPLK    #0,dvneg_soma
    SPLK    #0,dv0_soma
    SPLK    #0,dvpos_soma
    SPLK    #0,dvpos
    SPLK    #0,dvneg
    SPLK    #0,dv0
    SPLK    #MODO_AQUECIMENTO,modo

    LDP     #DP_EVA
    SPLK    #8000h,COMCONA      ;desabilita inversor
    SPLK    #0002h,GPTCONA

    LDP     #6
    LACL    errormsg
    OR      #1
    SACL    errormsg          ;seta o bit0 do errormsg
    B       fimdeverifica

inversor_desabilitado
    LDP     #DP_IO
    BIT     PCDATDIR,8          ;testa o bit7
    BCND    fimdeverifica,TC    ;se for "1" -> fimdeverifica
    LDP     #6
    SPLK    #0,errormsg        ;reseta o bit7 de errormsg
    LACC    #32767
    SUB     dvpos_max
    SACL    lim_dvpos
    SPLK    #MODO_PREPARA,modo

    LDP     #7
    SPLK    #5000,delay_term1
    SPLK    #600,delay_term2
    B       fimdeverifica

entra_alerta
    LDP     #DP_IO
    LACL    PCDATDIR
    AND     #0FF3Dh            ;stop e krede=0, kn=0
    SACL    PCDATDIR
    LDP     #6
    LACL    trip_ctr
    ADD     #1
    SACL    trip_ctr
    SPLK    #1,delay_data
    SPLK    #MODO_ALERTA, modo
    B       fimdeverifica

entra_desabilita
    LACL    PCDATDIR
    AND     #0FF3Dh            ;stop e krede=0, kn=0
    SACL    PCDATDIR
    LDP     #6
    SPLK    #MODO_DESABILITADO, modo
    SPLK    #1,delay_data
    LACL    errormsg
    OR      #8
    SACL    errormsg          ;seta o bit 3 do errormsg
    ;SACL    erro_tst

fimdeverifica
;*****
;
fimdecontrole:

    RET

; ***** SVPWM *****
;rotina de controle do space vector pwm

;data de atualização 20/01/2008
;*****

SVPWM
    ldp     #4h
    lacc    teta
    sacl    t_svm

; determine in which sector vstheta is and calculate modulo 60° of vstheta
    laci    t_svm

```

```

splk      #SVPWM_SEC1,      sector      ; sector 1
sac1      t_svm
sub       #THETA60A
bcnd      svpwm_sec135?,    LT
splk      #SVPWM_SEC2,      sector      ; sector 2
sac1      t_svm
sub       #THETA60B

bcnd      svpwm_sec246?,    LT
splk      #SVPWM_SEC3,      sector      ; sector 3
sac1      t_svm
sub       #THETA60A
bcnd      svpwm_sec135?,    LT
splk      #SVPWM_SEC4,      sector      ; sector 4
sac1      t_svm
sub       #THETA60B
;bcnd     svpwm_sec135?,    LT
bcnd      svpwm_sec246?,    LT
splk      #SVPWM_SEC5,      sector      ; sector 5
sac1      t_svm
sub       #THETA60A
bcnd      svpwm_sec135?,    LT
splk      #SVPWM_SEC6,      sector      ; sector 6
sac1      t_svm
;b        svpwm_sec135?    ;teste

```

svpwm_sec246?:

; look-up spacevector time durations in table and put these in the compare registers

```

lac1      t_svm
sfr       ;escala de t_svm 60° ==2731d
sfr       ;divide por 4

sac1      t_svm
lacc      #SVMTABEND
sub       t_svm
tblr      time1              ; look-up time1 from end of table
lt        ampl_svm
mpy       time1
pac
sach      time1
ldp       #DP_EVA
sach      CMPR1              ; CMPR1 = time1 * ampl_svm
ldp       #4
lac1      t_svm
add       #SVMTAB
tblr      time2              ; look-up time2 from start of table
lt        ampl_svm
mpy       time2
pac
sach      time2
addh      time1
ldp       #DP_EVA
;addh     CMPR1
sach      CMPR2              ; CMPR2 = (time1 + time2) * ampl_svm
b         svpwm_secdone?

```

svpwm_sec135?:

; look-up spacevector time durations in table and put these in the compare registers

```

lac1      t_svm
sfr
sfr
sac1      t_svm
add       #SVMTAB
tblr      time1              ; look-up time1 from start of table
lt        ampl_svm
mpy       time1
pac
sach      time1
ldp       #DP_EVA
sach      CMPR1              ; CMPR1 = time1 * ampl_svm
ldp       #4
lacc      #SVMTABEND
sub       t_svm
tblr      time2              ; look-up time2 from end of table
lt        ampl_svm
mpy       time2
pac
sach      time2
addh      time1
ldp       #DP_EVA
;addh     CMPR1
sach      CMPR2              ; CMPR2 = (time1 + time2) * ampl_svm

```

svpwm_secdone?:

; put sector in compare action control register

```

ldp       #4
lac1      sector
ldp       #DP_EVA
sac1      ACTRA

```

ret

; ***** /SVPWM *****

*

* File Name : controladores.inc

*

*

* Autor: Marcio Brumatti

* Data: 15/05/2007

* Ultima atualiza o: 11:52 11/9/2009 por Vinicius Secchin de Melo

*

.text

equaliza

```

SETC      SXM      ;extensão de sinal
SPM       1        ;multiplicacao fracionaria
SETC      OVM      ;overflow mode, acc limitado
LDP       #4
LACC      vpos
LDP       #6
SACL      vpos_ctl
LDP       #4
LACC      vneg,13   ;(divide por 8)
LDP       #6
;SPLK     #0,vneg_ctl ;teste sem seq neg
SACH      vneg_ctl

LDP       #4
LACC      v0,13     ;(divide por 8)
LDP       #6

SACH      v0_ctl
;SPLK     #0,v0_ctl ; teste sem seq.0

```

RET

regula_vpos

```

SETC      SXM      ;extensão de sinal
SPM       1        ;multiplicacao fracionaria
SETC      OVM      ;overflow mode, acc limitado
LDP       #6

```

; ---- Utilizado para teste ----

```

LACC      contador1
ADD       #1
SACL      contador1

```

;-----

```

LACC      vpos_ref
LDP       #4
SUB       vpos

LDP       #6
SACL      erro_vpos
LT        erro_vpos
ZALH     u_vpos_h
ADDS     u_vpos_l
MPY      ki_pos
APAC
ADDH     lim_dvpos ;limita delta vpos
SUBH     lim_dvpos
SUBH     lim_dvpos
ADDH     lim_dvpos
SACH     u_vpos_h
SACL     u_vpos_l

MPY      kp_pos
RPT      #9
APAC

ADDH     lim_dvpos ;limita delta vpos
SUBH     lim_dvpos
SUBH     lim_dvpos
ADDH     lim_dvpos
SACH     aux6
LT        aux6
MPY      k_lim_i
PAC
SACH     dvpos
LDP      #4
ADDH     vpos
LDP      #6
SACH     vpos_ctl
LDP      #4
LACC     vneg,13   ;divide por 8
LDP      #6
SACH     vneg_ctl
LDP      #4
LACC     v0,13     ;divide por 8
LDP      #6
SACH     v0_ctl

;SPLK     #0,vneg_ctl ;teste
;SPLK     #0,v0_ctl ;teste

```

RET

regula_vneg

```

SETC      SXM      ;extensão de sinal
SPM       1        ;multiplicacao fracionaria
SETC      OVM      ;overflow mode, acc limitado

LDP       #6
LACC      vneg_ref
LDP       #4
SUB       vneg
LDP       #6
SACL      erro_vneg

```

```

LT      erro_vneg
ZALH    u_vneg_h
ADDS    u_vneg_l
MPY     ki_neg
APAC
ADDH    lim_dvneg      ;limita delta vneg
SUBH    lim_dvneg
SUBH    lim_dvneg
ADDH    lim_dvneg
SACH    u_vneg_h
SACL    u_vneg_l

```

```

MPY     kp_neg
APAC
APAC
APAC

```

```

ADDH    lim_dvneg      ;limita delta vneg
SUBH    lim_dvneg
SUBH    lim_dvneg
ADDH    lim_dvneg
SACH    dvneg
LDP     #4
ADDH    vneg
LDP     #6
SACH    vneg_ctl
LACC    vneg_ctl,13    ;divide por 8
SACH    vneg_ctl

```

```
RET
```

```
*****
```

```

regula_v0
      SETC      SXM      ;extensão de sinal
      SPM       1        ;multiplicacao fracionaria
      SETC      OVM      ;overflow mode, acc limitado

```

```

LDP     #6
LACC    v0_ref
LDP     #4
SUB     v0
LDP     #6
SACL    erro_v0
LT      erro_v0
ZALH    u_v0_h
ADDS    u_v0_l
MPY     ki_0
APAC
ADDH    lim_dv0      ;limita delta v0
SUBH    lim_dv0
SUBH    lim_dv0
ADDH    lim_dv0
SACH    u_v0_h
SACL    u_v0_l

```

```

MPY     kp_0
APAC
APAC

```

```

ADDH    lim_dv0      ;limita delta v0
SUBH    lim_dv0
SUBH    lim_dv0
ADDH    lim_dv0
SACH    dv0
LDP     #4
ADDH    v0
LDP     #6
SACH    v0_ctl
LACC    v0_ctl,13    ;divide por 8
SACH    v0_ctl

```

```
RET
```

```
*****
```

```

controle_vcc
      SETC      SXM      ;extensão de sinal
      SPM       1        ;multiplicacao fracionaria
      SETC      OVM      ;overflow mode, acc limitado

```

```

LDP     #4
LACC    vcc_ref
SUB     vcc_lpn
SACL    erro_vcc
LT      erro_vcc
ZALH    u_vcc_h
ADDS    u_vcc_l
MPY     ki_vcc
APAC
ADDH    lim_dfi_pos
SUBH    lim_dfi_pos
SUBH    lim_dfi_pos
ADDH    lim_dfi_pos
SACH    u_vcc_h
SACL    u_vcc_l
MPY     kp_vcc
APAC

```

```

ADDH    lim_dfi_pos
SUBH    lim_dfi_pos
SUBH    lim_dfi_pos
ADDH    lim_dfi_pos

```

```

SACH    dfi_pos
CLRC    OVM      ;permite rolar
ZALH    fipos

```

```

                ADDH    defasamento
                SUBH    dfi_pos
                SACH    fipos_out

                ZALH    fineg
                ADDH    defasamento
                SACH    fineg_out

                ZALH    fi0
                ADDH    defasamento
                SACH    fi0_out
                SETC    OVM                                ;overflow mode, acc limitado

                RET

*****
*
* File Name : compensavdc.inc
* Autor: Marcio Brumatti
* Data: 20/02/2008
* Atualizado em: 30/09/2009 por Vinicius Sechin de Melo
*****
                .text

comp_ampl
                SETC    SXM                                ;extensão de sinal
                SPM     1                                ;multiplicacao fracionaria
                SETC    OVM                                ;overflow mode, acc limitado
                LDP     #4
                LACC    vcc
                SACL    denomi                            ;carrega denominador com (vcap1+vcap2)/2
                LACC    vcc_ref
                SFR
                SACL    numera                            ;vcc*=32767*(alfavdc/alfavbc); vcc*/2
                CALL    Divip                             ;calcula kinv=vdcvref/vdc
                LT      kinv2                             ;teste com kinv fixo após operando
                MPY     quot
                PAC
                SACH    kinv                             ;lembrar do Low ou High
                LDP     #6
                LT      vpos_ctl                          ;carrega T register
                LDP     #4
                MPY     kinv                             ;multiplica
                PAC     ;carrega acc
                APAC    ;teste inicial com baixa tensao

                ADDH    lim_vpos                          ;limita vpos de saida
                SUBH    lim_vpos
                SACH    vpos_out

                LDP     #6
                LT      vneg_ctl                          ;carrega T register
                LDP     #4
                MPY     kinv                             ;multiplica
                PAC     ;carrega acc
                APAC
                ADDH    lim_vneg                          ;limita vneg de saida
                SUBH    lim_vneg
                SACH    vneg_out
                LDP     #6
                LT      v0_ctl                            ;carrega T register
                LDP     #4
                MPY     kinv                             ;multiplica
                PAC     ;carrega acc
                APAC
                ADDH    lim_v0                            ;limita v0 de saida
                SUBH    lim_v0
                SACH    v0_out
                RET

* File Name : int.inc
*****
* Autor: Marcio Brumatti
* Data: 15/05/2007
* Atualizado em: 18/05 , 22/05
* 28/08/2007
* tempo de execução aproximado : 58 us

*****
* Tratamento de interrupcoes: GPT1 int e PDP int
*****
* - PDPINT ocorre quando o respectivo pino vai para nivel baixo, o
* que indica que houve falha de hardware. O sinal é gerado pelos
* gate drivers do inversor. Quando ocorre, automaticamente as saidas
* do PWM ficam com alta impedancia. E em software, o sinal stop/run
* vai para nivel 0 (stop), e o STATCOM entra em modo aterta.
*****
* - GPT1 int ocorre a cada periodo completo de Timer 1 (200us).
* É usada para marcar a execução de tarefas e manter a frequência
* do PWM gerado em 5kHz.
*****
                .text

;macros para salvar e restaurar contexto
;
SALVA_CONTEXTO    .macro

                SST      60h                                ;Salva contexto - salva status register0 DP 0
                LDP      #0h                                ;salva Status Register.
                                                         ;Considera DP=0, sem alterá-lo

                SST1     61h                                ;salva Status Register 1
                SACL     62h                                ;salva acc low
                SACH     63h                                ;salva acc high

```



```

;SAR                AR0,64h                ;salva AR0, nem precisa
;SAR                AR1,65h                ;salva AR1, nem precisa
MPY                #1
PAC
SACL                66h                    ;salva T
.endm

;*****
REST_CONTEXTO      .macro
                    LDP                #0h
                    LT                66h                ;restaura T
                    ZALH               63h                ;restaura acc high
                    ADDS               62h                ;restaura acc low
                    LST1               61h                ;restaura Status 1 reg
                    LST                60h                ;restaura Status reg 0
                    CLRC               INTM               ;re-habilita interrupcoes
                    .endm

; INT2 Service Routine
; Executada a cada periodo de Timer 1 (200us)

INT2SR
    SALVA_CONTEXTO

;*****
    LDP                #DP_SYS
    LACL               PIVR                ;carrega valor PIVR no ACC
    LDP                #0
    SACL               vec_ID              ;salva int vector ID
    SUB                #27h
    BCND               fim_int_timer,NEQ    ;testa se e int do Timer 1
                                           ;T1PINT ID = 27h
                                           ;se não for, sai sem executar

; Rotina executada a cada periodo de Timer 1 (200us) - Programa principal

    CALL               gera_vabc           ;rotina para geracao de Vabc
    CALL               le_ad
    CALL               geravdq
    CALL               geraseq
    CALL               vdq_pol_pn0
    CALL               detec_ipico
    CALL               lim_corrente
    CALL               calcula_pot
    CALL               controle
    CALL               pwm_sen
    CALL               rx_serial
    CALL               capture
    CALL               load_data
    CALL               tx_serial
    CALL               pll
    LDP                #DP_EVA
    SPLK               #0080h,EVAIFRA      ;limpa flag de interrupcao de T1PR
    LDP                #0

;*****fim de interrupção de timer 1*****

fim_int_timer
    KICK_DOG           ;Reset Watchdog
    REST_CONTEXTO      ;restaura contexto
    RET                ;sai de interrupção

; INT1 Service Routine
; Executada quando ocorre PDPINT.

INTPDP
    SALVA_CONTEXTO
    LDP                #DP_SYS
    LACL               PIVR                ;carrega valor PIVR no ACC
    LDP                #0
    SACL               vec_ID              ;salva int vector ID
    SUB                #20h
    BCND               fim_int_pdp,NEQ      ;testa se e int PDP
                                           ;PDPINT ID = 20h
                                           ;se não for, sai sem executar

;rotina executada quando ocorre int PDP
    LDP                #DP_IO
    LACL               PCDATDIR
    AND                #0FF3Dh            ;stop e krede=0,kn=0
    SACL               PCDATDIR
    LDP                #6
    LACL               errormsg
    OR                #2
    SACL               errormsg
    LACL               trip_ctr
    ADD                #1
    SACL               trip_ctr
    SPLK               #1,delay_data
    SPLK               #MOD0_ALERTA, modo
    SPLK               #1,intpdp
    LDP                #DP_EVA
    SPLK               #0001h,EVAIFRA      ;limpa flag de interrupcao de PDP

fim_int_pdp

    REST_CONTEXTO
    RET

```